

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年11月 8日

出 願 番 号  
Application Number:

特願2002-325768

[ST.10/C]:

[JP2002-325768]

出 願 人  
Applicant(s):

沖電気工業株式会社

2003年 5月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3035399

【書類名】 特許願

【整理番号】 OH003753

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社  
社内

【氏名】 関野 義則

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 主表面、該第 1 主表面と対向していて該第 1 主表面よりも大面積の第 2 主表面、及び該第 1 主表面と第 2 主表面との間を接続する側壁面を有する第 1 半導体チップと、

該第 1 半導体チップの第 1 主表面に設けられた第 1 パッドと、

前記第 1 半導体チップの第 2 主表面が対面する第 1 の領域と該第 1 の領域を囲む第 2 の領域とを有する第 3 主表面と、該第 3 主表面と対向する第 4 主表面とを有する半導体チップ搭載部と、

前記第 1 パッドに電氣的に接続されていて、該第 1 パッドから、前記第 1 主表面及び前記側壁面に沿って、前記第 2 の領域上へと延在している第 1 配線層と、

前記第 2 の領域上に設けられていて、前記第 1 パッドと前記第 1 配線層を介して電氣的に接続された外部端子と  
を具えることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記半導体チップ搭載部は、前記第 3 主表面から前記第 4 主表面へと貫通する導体部を有し、該導体部は前記第 1 配線層と電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、前記半導体チップ搭載部の前記第 3 主表面上には、前記第 1 半導体チップの第 2 主表面と対向して該第 2 主表面を横断する配線部が設けられ、該配線部は前記第 1 配線層と電氣的に接続されており、前記第 1 パッドは、前記第 1 配線層及び前記配線部を介して、前記外部端子と電氣的に接続されていることを特徴とする半導体装置。

【請求項 4】 請求項 1 ないし 3 のいずれか一項に記載の半導体装置において、前記半導体チップ搭載部を第 2 パッドを有する第 2 半導体チップとし、該第 2 半導体チップの前記第 2 パッドは前記第 1 配線層と電氣的に接続されていることと特徴とする半導体装置。

【請求項 5】 請求項 1 または 2 に記載の半導体装置において、前記半導体チップ搭載部を第 2 半導体チップとし、前記第 1 半導体チップと前記第 2 半導体

チップとの間には前記第 1 半導体チップの第 2 主表面と対向して該第 2 主表面を横断する第 2 配線層を具え、該第 2 配線層は前記第 1 配線層と電氣的に接続されており、前記第 1 パッドは、前記第 1 配線層及び前記第 2 配線層を介して、前記外部端子と電氣的に接続されていることを特徴とする半導体装置。

【請求項 6】 第 1 主表面、該第 1 主表面と対向していて該第 1 主表面よりも大面積の第 2 主表面、及び該第 1 主表面と該第 2 主表面との間を接続する側壁面であって、該側壁面と前記第 1 主表面との稜部が面取りされて形成されている傾斜側壁面を具える前記側壁面を有する第 1 半導体チップと、

該第 1 半導体チップの第 1 主表面に設けられた第 1 パッドと、

前記傾斜側壁面の少なくとも前記第 1 主表面側の面領域を露出させるように、前記第 1 半導体チップを包囲して、第 3 主表面と、該第 3 主表面と対向する第 4 主表面とを有する枠状部と、

前記第 1 パッドに電氣的に接続されていて、該第 1 パッドから、前記第 1 主表面及び前記傾斜側壁面に沿って、前記第 3 主表面上へと延在している第 1 配線層と、

前記第 3 主表面上に設けられていて、前記第 1 パッドと前記第 1 配線層を介して電氣的に接続された外部端子とを具えたことを特徴とする半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置において、前記枠状部は、前記第 3 主表面から前記第 4 主表面へと貫通する導体部を有し、該導体部は前記第 1 配線層と電氣的に接続されていることを特徴とする半導体装置。

【請求項 8】 請求項 1 ないし 7 のいずれか一項に記載の半導体装置において、前記第 1 配線層と前記外部端子との間に設けられたポスト部と、前記第 1 配線層上及び前記ポスト部の側面上に設けられた封止層とを具えていることを特徴とする半導体装置。

【請求項 9】 請求項 8 に記載の半導体装置において、前記ポスト部のうち前記封止層中に埋め込まれている前記ポスト部上には、酸化膜が形成されていることを特徴とする半導体装置。

【請求項 10】 請求項 1 ないし 9 のいずれか一項に記載の半導体装置にお

いて、前記第 1 配線層のうち、前記第 1 主表面と前記側壁面との境界上に位置する部分の幅が、前記第 1 配線層の残りの部分よりも幅広に形成されていることを特徴とする半導体装置。

【請求項 1 1】 請求項 1 ないし 1 0 のいずれか一項に記載の半導体装置が、前記第 1 半導体チップの厚み方向に、複数積層されてなることを特徴とする半導体装置。

【請求項 1 2】 第 1 パッドを具える第 1 主表面と、該第 1 主表面と対向していて該第 1 主表面よりも大面積を有する第 2 主表面とを具える第 1 半導体チップに、前記第 1 主表面及び第 2 主表面を接続する側壁面を形成する側壁面形成工程と、

前記側壁面が形成された前記第 1 半導体チップを、第 1 の領域と該第 1 の領域を囲む第 2 の領域とを有する第 3 主表面と、該第 3 主表面と対向する第 4 主表面とを有する半導体チップ搭載部の、前記第 1 の領域上に搭載する搭載工程と、

前記第 1 パッドに電氣的に接続されるとともに、該第 1 パッドから、前記第 1 主表面及び前記側壁面に沿って、前記第 2 の領域上へと延在する第 1 配線層を形成する第 1 配線層形成工程と、

前記第 2 の領域上に、前記第 1 パッドと前記第 1 配線層を介して電氣的に接続されよう外部端子を形成する外部端子形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】 第 1 パッドを具える第 1 主表面、該第 1 主表面と対向していて該第 1 主表面よりも大面積を有する第 2 主表面、及び該第 1 主表面と該第 2 主表面との間を接続する側壁面を有する第 1 半導体チップの、前記第 1 主表面と前記側壁面との稜部の面取りを行って、傾斜側壁面を形成する傾斜側壁面形成工程と、

支持部上に、第 3 主表面と該第 3 主表面と対向する第 4 主表面とを有するとともに、前記傾斜側壁面の少なくとも前記第 1 主表面側の面領域を露出させて配置するための開口部を有する枠状部を、該第 4 主表面と前記支持部とが対向配置されるように形成する枠状部形成工程と、

前記第 1 半導体チップを前記開口部内に配置して、該第 1 半導体チップを前記

支持部上に搭載する搭載工程と、

前記第 1 パッドに電氣的に接続されるとともに、該第 1 パッドから、前記第 1 主表面及び前記傾斜側壁面に沿って、前記第 3 主表面上へと延在する第 1 配線層を形成する第 1 配線層形成工程と、

前記第 3 主表面上に、前記第 1 パッドと前記第 1 配線層を介して電氣的に接続されるように外部端子を形成する外部端子形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 3 に記載の半導体装置の製造方法において、前記枠上部形成工程では、前記枠状部を、感光性樹脂をパターンニングした後に該感光性樹脂を硬化して形成し、前記搭載工程を該感光性樹脂のパターンニング後であってかつ該感光性樹脂の硬化前に行うことを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 3 または 1 4 に記載の半導体装置の製造方法において、前記搭載工程の後に、前記支持部を除去する支持部除去工程を含むことを特徴とする半導体装置の製造方法。

【請求項 1 6】 面取りされた縁部を有する第 1 主表面と、該第 1 主表面と対向する第 2 主表面と、該第 1 主表面と該第 2 主表面との間を接続する側面とを有する第 1 半導体チップと、

前記第 1 半導体チップの第 1 主表面に設けられた第 1 パッドと、

第 3 主表面と、該第 3 主表面と対向する第 4 主表面とを有して、前記縁部の一部を露出させるように、前記第 1 半導体チップの前記側面に接して該第 1 半導体チップを囲む枠状部と、

前記第 1 パッドに電氣的に接続されていて、該第 1 パッドから、前記第 1 主表面及び前記縁部に沿って、前記第 3 主表面上へと延在している第 1 配線層と、

前記第 3 主表面上に設けられていて、前記第 1 パッドと前記第 1 配線層を介して電氣的に接続された外部端子とを具えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、パッケージ構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、携帯機器等の電子器機に搭載される半導体装置の小型化、高密度化及び伝送信号の高周波化が益々求められている。これに伴い、半導体チップの外形サイズとほぼ同じ外形サイズにパッケージングが施された半導体装置であるCSP (Chip Size Package) が注目されている。

【0003】

近年、特に、製造コストの低減化等の目的から、ウェハ状態のまま外部端子形成工程までを完了させた後、ダイシング等によって個片化されたCSPである、WCSP (Wafer level Chip Size Package) の技術開発が盛んに行われている (例えば、非特許文献1参照)。

【0004】

このWCSPには、半導体チップ上の電極パッドと外部端子とを、当該外部端子を所望位置に再配置させる配線層を介して電氣的に接続させた構造を有するものがある。この配線層は、パターニング形成されており、再配線層或いは配線パターンとも称する。

【0005】

こうした再配線層を有するWCSPは、再配線層によって配線設計の自由度を向上させることができる利点を有している。

【0006】

その一方で、近年、高密度実装の実現のため、1つのパッケージ内に複数のチップを平面的に配置または半導体チップの厚み方向に積層 (スタック) させた、MCP (Multi Chip Package) が実用化されつつある (例えば、非特許文献2参照)。

【0007】

また、実装密度をさらに高める構造として、現在、複数のパッケージを半導体チップの厚み方向に積層させる、パッケージ積層 (スタック) 型のMCPが提案されている。

## 【0008】

## 【非特許文献1】

日経マイクロデバイス、1999年2月号、p. 48-56、図1、図4)

## 【非特許文献2】

日経マイクロデバイス、2000年2月号、p. 50-52、図1)

## 【0009】

## 【発明が解決しようとする課題】

しかしながら、上述したような再配線層を有するWCSPは、既に説明したようにパッケージの外形寸法が半導体チップの外形寸法と実質的に同一であるため、実装面上に配置できる外部端子数が制約される。

## 【0010】

より詳細には、現状のWCSPは、ファンイン構造、すなわち、外部端子が半導体チップ上方に配置される構造であるため、配置できる外部端子数は最大でも160個(ピン)程度であり、このときの当該外部端子同士の最小間隔(ピッチ)は0.5mm程度である。

## 【0011】

近年の高集積化に伴う多ピン化の要求に対応するためには、外部端子同士の最小間隔を、例えば、0.4mm程度にまで狭めることが必要となる場合がある。

## 【0012】

しかし、外部端子同士の間隔を0.4mm程度とすることは技術的には可能ではあるが、実装基板に実装する際に高度な実装技術を必要とするため望ましくない。

## 【0013】

また、300ピン程度の多ピンクラスの場合には、外部端子の間隔をどんなに狭めたとしてもこれらのピンを実装基板に配置することは困難な場合がある。

## 【0014】

そこで、配線基板上に半導体チップを搭載したパッケージであって、外部端子をパッケージの裏面全体に配置できる構造とした、ワイヤボンディング(以下、単にWBと称する場合もある。)方式採用のBGA(Ball Grid Ar

ray) 型や LGA (Land Grid Array) 型が提案されている。

【0015】

しかしながら、ワイヤボンディング（以下、単に WB と称する場合もある。）方式が通常採用されるこれら構造の場合には、WB 部分のインダクタンスが高いため、半導体チップ内の回路とのインピーダンス整合を図るのが困難である。また、ボンディングパッドを具える配線基板等が必要であるため、パッケージが厚くなるだけでなく製品コストの増大を招いてしまう。

【0016】

一方、ワイヤレスボンディングとしてフリップチップ方式が提案されているが、半導体チップ上のパッド（電極パッド）同士の間隔が 0.1 mm 以下となることから高価なビルドアップ基板を必要とするうえに、フリップボンディングの加工に長時間を要するため量産には適さない。

【0017】

また、上述したような MCP においても、WB 方式を採用した構造の場合には、既に説明したのと同様に、WB に起因するインダクタンスの増大やパッケージ外形及びパッケージ厚の増大等の問題が発生する。

【0018】

また、上述したようなパッケージ積層型の MCP においても、WB 方式を採用した構造の場合には、既に説明したのと同様に、WB に起因するインダクタンスの増大やパッケージ外形及びパッケージ厚の増大等の問題があるだけでなく、当該 MCP をファンイン構造とすることができないため MCP の多ピン化には不向きとされている。

【0019】

そこで、この発明の目的は、今後さらにその適用範囲の拡大が切望される WCSSP 構造に基づいて、その実装面を拡げることにより多ピン化を実現できるとともに、従来よりも小型化（パッケージサイズの小型化及び薄型化）が図れ、且つ、MCP 及びパッケージ積層型の MCP 等を設計できる半導体装置を提供することにある。

【0020】

## 【課題を解決するための手段】

そこで、この発明の半導体装置は、下記のような構成上の特徴を有する。

## 【0021】

すなわち、この発明の半導体装置は、第1パッドを具える第1主表面と、第1主表面と対向していて当該第1主表面よりも大面積の第2主表面と、第1主表面と第2主表面との間を接続する側壁面とを有する、第1半導体チップを具えている。そして、この第1半導体チップは、第1の領域と第1の領域を囲む第2の領域とを有する第3主表面とこの第3主表面と対向する第4主表面とを有する半導体チップ搭載部の、第1の領域上に搭載されている。そして、第1パッドに電氣的に接続されていて、第1パッドから、第1主表面及び傾斜側壁面に沿って、第2の領域上へと延在している第1配線層が形成されている。そして、第2の領域上には、第1パッドと第1配線層を介して電氣的に接続された外部端子が形成されている。

## 【0022】

この構成によれば、第1半導体チップ上方（すなわち、ファンイン部）はもとより第1半導体チップの上方以外の領域（すなわち、ファンアウト部）にも外部端子を配置することができ、通常のWCSPに比べて多ピン化に対応可能な半導体装置となる。

## 【0023】

さらに、この構成では、半導体チップ上の電極パッドと外部端子とが配線層を介して電氣的に接続されているため、WB方式に比べて総信号配線長の短縮等を図ることができ、よって、優れた高周波特性を有する半導体装置となる。

## 【0024】

また、この発明の半導体装置は、第1パッドを具える第1主表面、第1主表面と対向していて当該第1主表面よりも大面積を有する第2主表面、及び第1主表面と第2主表面との間を接続する側壁面であって、側壁面と第1主表面との稜部が面取りされて傾斜側壁面が形成された、第1半導体チップを具えている。そして、傾斜側壁面の、少なくとも第1主表面側の面領域を露出させるように、第1半導体チップを包囲して、第3主表面とこの第3主表面と対向する第4主表

面とを有する棒状部を具えている。そして、第1パッドに電氣的に接続されていて、第1パッドから、第1主表面及び傾斜側壁面に沿って、棒状部の第3主表面上へと延在している第1配線層が形成されている。そして、第3主表面上には、第1パッドと第1配線層を介して電氣的に接続された外部端子とが形成されている。

## 【0025】

この構成によれば、上述したように多ピン化に対応可能な構造であることに加え、第1半導体チップの側壁の一部を傾斜壁として棒状部から露出させれば良い。よって、側壁のうち、露出する傾斜壁以外の壁を、例えば、垂直壁（垂直端面）とすることができ、第1半導体チップサイズの小型化を図ることができる。

## 【0026】

よって、ウェハ1枚当たりのチップ収集数の向上を図ることができ、製品コストの上昇を抑制することができる。

## 【0027】

## 【発明の実施の形態】

以下、図1から図13を参照して、この発明の実施の形態につき説明する。尚、各図は、この発明に係る半導体装置の一構成例を概略的に示してある。また、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、この発明をこれら図示例に限定するものではない。また、図を分かり易くするために、断面を示すハッチング（斜線）は一部分を除き省略してある。また、以下の説明において、特定の材料及び条件等を用いることがあるが、これら材料及び条件は好適例の一つに過ぎず、従って、何らこれらに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。また、以下の説明において、半導体チップ及び半導体チップ搭載部のそれぞれの平面形状は四角形として説明するが、それらの形状は設計に応じて任意好適な形状とすることもできる。

## 【0028】

## &lt;第1の実施の形態&gt;

図 1 から図 3 を参照して、この発明の第 1 の実施の形態に係る半導体装置およびその製造方法につき説明する。図 1 (A) は、この実施の形態の半導体装置 1 0 を概略的に示す平面図である。また、図 1 (B) は、図 1 (A) とは対応しないが、半導体装置 1 0 の各構成要素の接続及び配置の様子を説明するためにそれらを変更して概略的に示した断面図である。尚、図 1 (A) では、ポスト部 2 0 上に形成される外部端子等の図示を省略するとともに、第 1 パッド 1 4、第 1 配線層 1 8 及びポスト部 2 0 の一部の概要は図中 Q 領域を除きその図示を省略してある（以下の各実施の形態についても同様）。

## 【 0 0 2 9 】

図 1 (A) に示すように、半導体装置 1 0 が具える第 1 半導体チップ 1 5 の第 1 主表面としての主表面 1 5 a 上には、アルミニウム (A l) からなる第 1 パッド (電極パッド) 1 4 が第 1 半導体チップ 1 5 の外周に沿って所定間隔毎に配置されている。尚、図 1 (A) に示す例では、第 1 半導体チップ 1 5 の平面形状は四角であるので、当該四角の各辺に沿って、第 1 パッド 1 4 を直線状に配列させている。そして、第 1 電極パッド 1 4 とそれに対応する銅 (C u) からなるポスト部 2 0 とが、銅からなる第 1 配線層 1 8 を介して電氣的に接続されている（詳細後述）。尚、第 1 パッド 1 4 の配置個数及び位置はこれに限られず、設計に応じて任意好適な配置とすることができる（以下の各実施の形態についても同様）。

## 【 0 0 3 0 】

図 1 (B) に示すように、半導体チップ搭載部 1 2 の第 3 主表面としての搭載面 1 2 a 上には、この搭載面 1 2 a よりも小さな外形寸法を有する第 1 半導体チップ 1 5 が載置され固定されている。この構成例では、半導体チップ搭載部として基板 1 2 を用いる。そして、この第 3 主表面である搭載面 1 2 a のうち、第 1 半導体チップ 1 5 が実際に載置される、すなわち第 1 主表面 1 5 a と対向する第 2 主表面である裏面 1 5 c と対面する第 1 の領域部分を、載置面 1 2 b とする。

## 【 0 0 3 1 】

この第 1 半導体チップ 1 5 の 4 つの側壁 1 5 x は傾斜壁となっている。この傾斜壁の側壁面（傾斜側壁面） 1 5 b は、載置面 1 2 b に対して鋭角  $\theta$  ( $0^\circ < \theta$

＜90°）で交差している。尚、この構成例では、各側壁15xは1つの傾斜している側壁面15bを有しているが、これに限定されない。すなわち、スパッタ等による配線層のパターニングが可能であれば、1つの側壁に対して複数段の段差が形成された構成であっても良い。

#### 【0032】

また、第1半導体チップ15の第2主表面である裏面15c、及び第1の領域である載置面12b間は、ダイスボンダ剤等の接着剤（不図示）によって固定（固着）されている。また、以下の説明において、第3主表面である搭載面12aのうち、第1半導体チップ15が載置された第1の領域12b以外の領域であって、第1の領域12bを囲んでいる第2の領域を不載置面12cと称する。また、基板12としては、片面基板、両面基板及び多層基板のいずれかとして、例えば、シリコン（Si）基板、セラミック基板及び金属ベース基板等のいずれかの無機系材料基板、或いは、ガラスエポキシ基板及びポリイミド基板等のいずれかの有機系材料基板を用いることができる。また、この構成例では、半導体チップ搭載部として基板12を例に挙げて説明したがこれに限られず、半導体チップ搭載部としての機能を果たすものであれば良い。また、搭載面12aと側壁面15bとの交差角を鋭角θとし、この鋭角θを45°から60°の範囲内の値となるように設けることにより、ウェハ1枚当たりのチップ収集数の向上はもとより、チップ毎に個片化する際のブレード等のブレによるチップ損傷を回避するマージンを確保でき望ましい。

#### 【0033】

また、第1半導体チップ15の主表面15a、側壁面15b及び不載置面12cには、第1半導体チップ15の主表面15a上の第1パッド14の端部、例えば、頂面を露出させるようにして、例えば、パッシベーション膜及び保護膜が順次に設けられた絶縁膜16が設けられている。ここで、パッシベーション膜は、例えば、シリコン酸化膜（SiO<sub>2</sub>）で形成されている。また、保護膜は、例えば、ポリイミド樹脂のように低硬度の膜材で形成されており、従って、この保護膜によって製造工程時の第1半導体チップ15に対する衝撃や封止層22と半導体チップ15との間の応力による剥離を防止することができる。

## 【 0 0 3 4 】

また、第 1 パッド 1 4 は、実装基板に接続するための外部端子である半田ボール（バンプ） 2 4 と専用の第 1 配線層 1 8 を介して電氣的に個別に接続される。

## 【 0 0 3 5 】

そこで、この構成例における第 1 配線層 1 8 は、半田ボール 2 4 を、第 1 パッド 1 4 の位置に依存せず実質水平面上の所望位置、すなわち、第 1 半導体チップ 1 5 より上側の、シフトされた位置に配置可能にする。そのため、この構成例では、第 1 配線層 1 8 は、不載置面 c と対向する位置に半田ボール 2 4 を再配置可能な再配線層として機能している（以下において、第 1 配線層 1 8 を第 1 再配線層と称する場合もある）。

## 【 0 0 3 6 】

この構成例における第 1 配線層 1 8 は、その一端は第 1 パッド 1 4 に接続されており、かつこの第 1 パッド 1 4 から第 1 半導体チップ 1 5 の傾斜壁（側壁） 1 5 x の側壁面 1 5 b 及び不載置面 1 2 c 上を沿うように、第 1 半導体チップ 1 5 の主表面 1 5 a と不載置面 1 2 c との間の高低差（段差）に応じてその切断面が屈するように延在している。そして、第 1 配線層 1 8 は、第 1 パッド 1 4 の接続先であるとして割り当てられている半田ボール 2 4 とポスト部 2 0 を介して電氣的に接続されている。

## 【 0 0 3 7 】

また、第 1 半導体チップ 1 5 の主表面 1 5 a、側壁面 1 5 b 及び不載置面 1 2 c の上側には、絶縁膜 1 6 及び第 1 配線層 1 8 等を覆うように、かつポスト部 2 0 の端部、例えば、頂面を露出させるように、エポキシ樹脂等による封止層 2 2 が形成されている。この封止層 2 2 の上面を平坦面とする。そして、このポスト部 2 0 に、プリント基板（不図示）等への接続用バンプとなる半田ボール 2 4 が形成されている。

## 【 0 0 3 8 】

また、この構成例での第 1 半導体チップ 1 5 からの出力信号は、第 1 パッド 1 4 から第 1 配線層 1 8 とポスト部 2 0 とを介して半田ボール 2 4 へ至る経路に伝送される。また、半田ボール 2 4 からの入力信号は、上述とは逆の経路を経て伝

送される。

【 0 0 3 9 】

続いて、図 2 及び図 3 を参照して、この半導体装置 1 0 の製造方法につき以下説明する。

【 0 0 4 0 】

先ず、側壁面形成工程として、第 1 パッド 1 4 が形成された第 1 主表面 1 5 a と、該第 1 主表面 1 5 a と対向しかつ第 1 主表面よりも大面積を有する第 2 主表面 1 5 c とを具える第 1 半導体チップ 1 5 に、第 1 主表面 1 5 a 及び第 2 主表面 1 5 c を接続する側壁面 1 5 b を形成して、メサ型の第 1 半導体チップ 1 5 を得る。

【 0 0 4 1 】

そのため、先ず、個片化前の第 1 半導体チップ 1 5' (チップサイズを、例えば、縦が約 7 mm × 約 7 mm とする。) を複数個具える半導体ウェハ 3 0 を用意する。図 2 (A) に示すように、この個片化前の第 1 半導体チップ 1 5' には、その主表面上に第 1 パッド 1 4 が所定間隔 (ピッチ)、例えば、0. 0 3 5 mm ~ 0. 1 8 mm 毎に形成されている。このウェハ 3 0 の裏面側を、粘着剤 (不図示) が塗られたウェハ固定用テープ 3 2 で接着して固定する。尚、図中には便宜上約 2 個の個片化前の第 1 半導体チップ 1 5' が図示されているが、これに限定されるものではない。また、半導体ウェハ 3 0 のうち隣接する個片化前の第 1 半導体チップ 1 5' 間には、0. 0 8 mm 程度のスクライブライン (不図示) が形成されている。

【 0 0 4 2 】

続いて、図 2 (B) に示すように、高速回転するブレード (切削工具) 1 9 等によって、スクライブライン (不図示) に沿い個々の第 1 半導体チップ 1 5 毎に個片化、すなわち、分離する。このとき使用するブレード 1 9 の刃先は、先端の断面形状が V 字型となるような角度 (頂角)  $\phi$  (例えば、 $60^{\circ} < \theta < 90^{\circ}$  程度) を有する。このとき、V 字型に切削された溝 3 6 の形成に伴い、前記第 1 半導体チップ 1 5' の側壁 1 5 x に鋭角  $\theta$  ( $0^{\circ} < \theta < 90^{\circ}$ ) をなす傾斜した側壁面 1 5 b が形成される。その後、UV 照射等により粘着剤の粘着性を低下させ

、個々の第1半導体チップ15をウェハ固定用テープ32から分離する。

【0043】

次に、搭載工程として、側壁面15bが形成された第1半導体チップ15を、第1の領域12bとこの第1の領域を囲む第2の領域12cとを有する第3主表面12aと、この第3主表面12aと対向する第4主表面12iとを有する半導体チップ搭載部12の、第1の領域12b上に搭載する。

【0044】

具体的には、図2(C)に示すように、個片化した第1半導体チップ15の各々を、基板12の第3主表面である搭載面12aのうち第1の領域である載置面12bに所定間隔毎に載置する。このとき、第1半導体チップ15の裏面15c及び載置面12b間を、例えば、ダイスボンダ剤（不図示）等によって固定する。

【0045】

次に、第1配線層形成工程として、第1パッド14に電氣的に接続されるとともに、第1パッド14から、第1主表面15a及び側壁面15bに沿って、第1半導体チップ15の搭載面12aのうち、第1半導体チップ15の周辺の第2の領域である不載置面12cの上側へと延在する第1配線層（第1再配線層）18を形成する。

【0046】

そこで、図3(A)に示すように、先ず、第1半導体チップ15の主表面15a、側壁面15b及び不載置面12cに亘って、第1パッド14の頂面を露出させるようにシリコン酸化膜及びポリイミド膜が順次に積層された積層膜からなる絶縁膜16を形成する。

【0047】

絶縁膜16の下地面を構成するこの第1半導体チップ15の主表面15aと不載置面12cとの間には高低差（段差）があるため、絶縁膜16はこの段差に対応して形成される。

【0048】

続いて、銅からなる第1配線層18を、第1パッド14にその一端が接続され

るように、かつ絶縁膜16上を傾斜壁（側壁）15xの側壁面15bから不載置面12cに亘って、上述した主表面15aと不載置面12cとの間の高低差に応じてその切断面が屈曲して延出されるように、ホトリソ及びスパッタ等によってパターンニング形成する。尚、第1配線層18はパターンニング形成されているので、第1配線パターンとも称する。

## 【0049】

このとき、第1配線層18のうち、主表面15aと側壁面15bとの境界上、及び側壁面15bと不載置面12cとの境界上に位置する部分（図中、破線zで囲まれた部分）の第1配線層18の延在方向と実質直交する方向（図示の紙面と直交する方向）に有する幅を、第1配線層の他（残り）の部分の当該幅よりも広くなるように形成するのが良い。

## 【0050】

その結果、衝撃や応力の集中に弱いこれら境界上の第1配線層18を補強することができる。

## 【0051】

次に、外部端子形成工程として、不載置面12cの上側に、第1パッド14と第1配線層18を介して電氣的に接続されるように外部端子を形成する。

## 【0052】

図3（B）に示すように、先ず、不載置面12c上の各絶縁膜16の表面に延在している第1配線層18上に、対応する銅からなるポスト部20をホトリソ及びめっき等によって形成する。また、ポスト部20の形成には、銅のほかに金（Au）等を用いても良い。

## 【0053】

また、銅ポスト部20形成後、当該ポスト部20の側面上に熱酸化等により薄い酸化膜を形成しても良い。この場合には、ポスト部20及び封止層22間の密着性がさらに向上するため、ポスト部20と後述する封止層22との界面からの水分の侵入をさらに抑制することができる。

## 【0054】

続いて、ポスト部20が形成された基板12の搭載面12a側に、ポスト部2

0 が隠れる程度まで有機樹脂（エポキシ樹脂等）からなる封止材を用いてトランスファー成形法で封止層 2 2 を形成する。その後、グラインダー（研磨工具）等によって封止層 2 2 及びポスト部 2 0 に対する研磨を行い、全てのポスト部 2 0 の頂面を露出させて外部端子を搭載するための搭載面を形成する。尚、ポスト部 2 0 を形成する際に、当該ポスト部 2 0 の各々を鉛直方向に同一高さに形成可能な場合には、フィルム成形法等によって外部端子用の搭載面形成のための研磨工程を省略することも可能である。

## 【 0 0 5 5 】

然る後、図 3（C）に示すように、この露出する外部端子用の搭載面上に、プリント基板（不図示）への接続用のバンプである外部端子としての半田ボール 2 4 をリフロー形成する。尚、必要に応じて、外部端子用搭載面と半田ボール 2 4 との間にバリアメタル層等を形成しても良い。この構成例では、外部端子である半田ボール 2 4 同士の最小間隔（ピッチ）を、例えば、0. 3 mm 以上に拡張することができる。

## 【 0 0 5 6 】

その後、通常のスクライピング用の、高速回転ブレード（切削工具）等（不図示）によって、各半導体装置（パッケージ）1 0 毎に切り出す（図 1（B）参照）。

## 【 0 0 5 7 】

上述した説明から明らかなように、この実施の形態の半導体装置とその製造方法によれば、第 1 半導体チップを半導体チップ搭載部に搭載したことにより、第 1 半導体チップ上方（すなわち、ファンイン部）はもとより、第 1 半導体チップの主表面上から側壁面及び不載置面上へと延在する第 1 配線層によって、第 1 半導体チップの上方以外の領域（すなわち、ファンアウト部）にも外部端子が配置された構造（ファンアウト構造）を実現できる。

## 【 0 0 5 8 】

よって、通常の WCSP よりも、多ピン化に対応できる半導体装置を得ることができる。

## 【 0 0 5 9 】

すなわち、従来の半導体装置によれば、通常のWCSPのチップサイズを多ピン化のためにのみ不所望に増大させてしまい、ウェハ1枚当たりのチップ収集数を低減させてしまっていたが、この実施の形態によれば、この従来の場合とは異なり、外部端子の配置位置を拡張可能とする拡張部として機能する半導体チップ搭載部によって、半導体装置をファンアウト構造とすることができる。

## 【0060】

その結果、多ピン化に対応可能な半導体装置とすることができ、例えば、チップサイズを約7mm×約7mmとし、半導体チップ搭載部の外形寸法を約10mm×約10mmとした場合には、外部端子ピッチを、例えば、0.5mmとして312ピン配置することができる。

## 【0061】

また、この実施の形態では、第1電極パッドと半田ボールとが第1再配線層を介して電氣的に接続されているため、WB方式を採用する場合に比べて総信号配線長の短縮を図ることができる。

## 【0062】

その結果、例えば、高周波信号を伝送する場合には、WB方式に比べて当該信号の減衰を効果的に抑制でき、当該信号線の実効インピーダンスと半導体チップのインピーダンスとの整合が容易に図れるため、従来よりも優れた高周波特性を有する半導体装置となる。

## 【0063】

また、WB方式のBGA等のように予めスルーホール等の加工が施された高価な基板を用いる必要がないため、半導体装置の製造コストの低減も図ることができる。

## 【0064】

また、基板12として円盤状のシリコンウェハを用いれば、既存のWCSP装置の製造プロセスを適用できる。よって、基板保持用の新たな治工具等が不要なため、コストダウンを図ることができる。

## 【0065】

## &lt;第2の実施の形態&gt;

図 4 (A) 及び (B) を参照して、この発明の第 2 の実施の形態に係る半導体装置 1 1 につき説明する。

## 【 0 0 6 6 】

この第 2 の実施の形態と第 1 の実施の形態との主な相違点は、以下の通りである。まず、半導体チップ搭載部である基板 1 2 に、当該基板 1 2 の表裏、すなわち第 3 主表面 1 2 a から第 4 主表面 1 2 i を導通する導体部 3 9 を有するスルーホール 3 8 が貫通部として形成されていて、かつ当該導体部 3 9 が第 1 配線層 1 8 と電氣的に接続されている点、及び、基板 1 2 には、第 1 半導体チップ 1 5 と対向する領域部分を横断する配線部 2 7 を具え、当該配線部 2 7 が第 1 配線層 1 8 と電氣的に接続されている点である。また、第 1 の実施の形態で既に説明した構成要素と同一の構成要素には同一の番号を付して示し、その具体的な説明を省略する場合もある（以下、各実施の形態についても同様）。また、この構成例では、基板 1 2 として、基板 1 2 を構成する基材の両面に導体（ここでは、銅（Cu）箔）によって配線がパターンニングされた両面基板（ガラスエポキシ両面基板等）を用いた場合を例に挙げて説明する。

## 【 0 0 6 7 】

図 4 (B) に示すように、基板 1 2 にはスルーホール 3 8 が形成されており、このスルーホール 3 8 の内壁全面に当該基板の表裏間を導通可能とする導体部（銅めっき層）3 9 が形成されている。このスルーホール 3 8 の導体部 3 9 の両端には、第 1 ランド 4 2 及び第 3 パッド 4 0 がそれぞれ形成されている。これら第 1 ランド 4 2 及び第 3 パッド 4 0 は、銅箔を用いて基板 1 2 表面に形成されている。

## 【 0 0 6 8 】

また、スルーホール 3 8 の導体部 3 9 は、絶縁層 1 6 に覆われずに露出された第 1 ランド 4 2 を介して第 1 配線層 1 8 と電氣的に接続されている。また、ここでの第 3 パッド 4 0 は、例えば、半導体装置をパッケージ積層型半導体装置として形成する際の半導体装置搭載用パッド又はコイルやコンデンサ等の受動素子搭載用パッドとして用いられる。

## 【 0 0 6 9 】

また、半導体装置 11 によってパッケージ積層型半導体装置を構成する場合には、半導体装置 11 の半田ボール 24 と、例えば、同様の構造を有する半導体装置 11 の第 3 パッド 40 とを接合して、第 1 半導体チップ 15 の厚み方向に複数積層させれば良い。

#### 【0070】

さらに、この実施の形態では、基板 12 には当該基板 12 の厚み方向と実質直交する方向に延在する配線部 27 が形成されている。

#### 【0071】

例えば、図 4 (A) に示すように、基板 12 中には、当該基板 12 の厚み方向と実質直交するとともに、第 1 半導体チップ 15 と対向する領域部分を横断するような配置関係で、銅箔による配線部 27 (但し、図 4 (B) には不図示) がパターンニング形成されている。そして、この配線部 27 は当該配線部 27 の両端に位置する第 2 パッド 43 (但し、図 4 (B) には一方のみが図示されている。) を介して第 1 配線層 18 と電氣的に接続された構成である。

#### 【0072】

第 1 の実施の形態の構成では、第 1 パッド 14 と電氣的に接続される半田ボール 24 は、当該第 1 パッド 14 にその一端が接続され、かつ半導体チップ 15 の主表面 15 a 及び側壁面 15 b に沿って、不載置面 12 c の上側へと延在している第 1 配線層 18 の上方に配置可能な半田ボール 24 のみであった (図 1 (A) 参照)。

#### 【0073】

そこで、図 4 (A) に示すように、配線部 27 がパターンニング形成された基板 12 を半導体チップ搭載部として用いることにより、ある 1 つの第 1 パッド 14 に対して、複数の半田ボールのうちいずれか 1 つの半田ボールを選択した場合に、この選択された半田ボールへ、第 1 配線層 18、配線部 27 及び他の第 1 配線層 18 を順次に介して接続することができるので、配線の引き回しの自由度を一層向上させることができる。

#### 【0074】

また、この構成例での第 1 半導体チップ 15 からの出力信号は、第 1 パッド 1

4 から第 1 配線層 1 8 とポスト部 2 0 とを介して半田ボール 2 4 へ至る経路、第 1 パッド 1 4 から第 1 配線層 1 8 と第 2 パッド 4 3 と配線部 2 7 と第 2 パッド 4 3 と第 1 再配線層 1 8 とポスト部 2 0 とを介して半田ボール 2 4 へ至る経路、及び、第 1 パッド 1 4 から第 1 配線層 1 8 と第 1 ランド 4 2 とスルーホール 3 8 とを介して第 3 パッド 4 0 へ至る経路のうちの少なくとも 1 つの経路を経て伝送される。また、半田ボール 2 4 や第 3 パッド 4 0 からの入力信号は、上述とは逆の経路を経て伝送される。尚、伝送経路は上述した経路に限られず、目的や設計に応じて種々の配線経路として形成することができる。

## 【 0 0 7 5 】

また、この実施の形態の半導体装置 1 1 の製造方法は、第 1 の実施の形態で説明した製造工程と同様な工程を有しているが、次のような工程で相違する。すなわち、第 1 半導体チップ 1 5 を基板 1 2 に搭載する工程において、この基板 1 2 に、所定位置にスルーホール 3 8 と露出された第 1 ランド 4 2 及び第 2 パッド 4 3 とを予め形成しておく。そして、この基板 1 2 上に、不図示のダイスボンダ剤等を介して第 1 半導体チップ 1 5 を載置して固定する。

## 【 0 0 7 6 】

また、第 1 の実施の形態で説明した第 1 配線層を形成する工程と同様に、先ず、第 1 パッド 1 4、第 1 ランド 4 2 及び第 2 パッド 4 3 の例えば頂面を露出させるように絶縁膜 1 6 を形成する。この絶縁膜 1 6 の形成後に、第 1 パッド 1 4 と、これと接続関係が指定されている第 1 ランド 4 2 又は第 2 パッド 4 3 とが接続されるように第 1 配線層 1 8 を形成する。

## 【 0 0 7 7 】

その後、第 1 の実施の形態と同様に、外部端子形成工程を行い、半導体装置 1 1 を得る。尚、基板 1 2（ここでは、ガラスエポキシ両面基板）が具えるスルーホール 3 8 は、例えば、基板の表層付近に銅箔によるバターニングを形成する前に基板にドリル等で貫通孔を形成し、この貫通孔の内壁にめっき法等によって銅めっき層（導体部） 3 9 を形成する。

## 【 0 0 7 8 】

上述した説明から明らかなように、この実施の形態では、第 1 の実施の形態と同

様の効果を得ることができる。

【0079】

さらに、この実施の形態では、半導体チップ搭載部である基板にパターニングされた配線部によって、第1の実施の形態よりも、第1パッドを所望の外部端子と電氣的に接続させることができ、よって、配線の引き回しの自由度を向上させることができる。

【0080】

さらに、この半導体装置11を積層させてパッケージ積層型半導体装置とした場合には、従来のWB方式のパッケージ積層型半導体装置では困難であったファンイン構造が可能となるため、パッケージサイズの小型化及び薄膜化を図ることができる。

【0081】

<第3の実施の形態>

図5及び図6を参照して、この発明の第3の実施の形態に係る半導体装置50につき説明する。

【0082】

この実施の形態では、半導体チップ搭載部を回路素子を具える第2半導体チップ44とし、かつ当該第2半導体チップ44が第1配線層18と電氣的に接続されている点が第1の実施の形態との主な相違点である。

【0083】

図5(A)に示すように、半導体チップ搭載部としての第2半導体チップ44の平面形状を四角形とする。この第2半導体チップ44の第3主表面である搭載面44a上には、アルミニウム(A1)からなる第4パッド45が第2半導体チップ44の外周に沿って所定間隔毎に配置されており、この第4パッド45が第1配線層18と電氣的に接続された構成である。尚、第4パッド45の配置個数と位置はこれに限定されない。

【0084】

また、この構成例での第1半導体チップ15からの出力信号は、第1パッド14から第1配線層18とポスト部20とを介して半田ボール24へ至る経路、及

び、第1パッド14から第1配線層18と第4パッド45とを介して第2半導体チップ44へ至る経路の双方またはいずれか一方の経路を経て伝送される。また、半田ボール24や第2半導体チップ44からの入力信号は、上述とは逆の経路を経て伝送される。尚、伝送経路は上述に限られず、目的や設計に応じて種々の配線経路として形成することができる。

## 【0085】

このように、この構成例では、半導体チップ搭載部を第2半導体チップ44としてあることから、半導体装置50は、当該第2半導体チップ44の載置面44b上に第1半導体チップ15が積層されたMCP型の半導体装置となり、よって、実装度を高めることができる。

## 【0086】

また、この実施の形態の半導体装置50の製造方法は、第1の実施の形態での搭載工程と同様に、第4パッド45が所定間隔、例えば、0.035mm～0.18mm毎に形成された半導体チップ搭載部である第2半導体チップ44上に、ダイスボンダ剤（不図示）を介して第1半導体チップ15を載置して固定する（図6（A））。また、第1の実施の形態で説明した第1配線層形成工程と同様に、第1パッド14の頂面と、第1配線層18に接続される第4パッド45の頂面とを露出させるように、絶縁膜16を形成する。絶縁膜16を形成後、側壁面15bから不載置面44cに亘って、かつ第4パッド45に接続されるように第1配線層18を形成する（図6（B））。尚、この構成例では、第4パッド45と第1配線層18とは、1対1の関係で接続が指定されている。

## 【0087】

その後、第1の実施の形態と同様に外部端子形成工程を行って（図6（C））、半導体装置50を得る（図5（B））。

## 【0088】

上述した説明から明らかなように、この実施の形態では、第1の実施の形態と同様の効果を得ることができる。

## 【0089】

さらに、この実施の形態では、従来のWB方式のMCP等のようにボンディン

グポスト等を具えた基板等が不要であるうえに、半導体装置の製造の際にワイヤのループの高さ分を考慮しなくても良い。

【0090】

よって、この実施の形態の構成によれば、第2半導体チップ44の外形寸法が実質外形寸法とされたMCP構造の半導体装置とすることができ、従来のWB方式のMCP等に比べてパッケージサイズの小型化及び薄膜化が実現された半導体装置となる。

【0091】

#### <第4の実施の形態>

図7を参照して、この発明の第4の実施の形態に係る半導体装置60につき説明する。

【0092】

この実施の形態では、第1半導体チップ15と第2半導体チップ44との間を通り抜ける第2配線層49を具え、当該第2配線層49を第1配線層18と電気的に接続させた構成としている点が第3の実施の形態との主な相違点である。

【0093】

より具体的には、第2半導体チップ44の上方には、当該第2半導体チップ44の厚み方向と実質的に直交する方向に、第1半導体チップ15の下側を、この第1半導体チップ15を横断するように配置した第2配線層49（以下において、第2配線層を第2再配線層と称する場合もある）を形成している。そして、この第2配線層49は、第2半導体チップ44の第3主表面である搭載面44aに設けられた絶縁膜21上を延在していて、当該第2配線層49の一端は第4パッド45を介して第2半導体チップ44と、及び、その他端は第5パッド46を介して第1配線層18と電気的に接続されている。

【0094】

第3の実施の形態の構成では、第1パッド14と電気的に接続される半田ボール24は、当該第1パッド14にその一端が接続され、かつ半導体チップ15の主表面15a及び側壁面15bに沿って、不載置面44cの上側へと延在している第1配線層18の上方に配置可能な半田ボール24のみであった（図5（A）

参照)。

【0095】

そこで、図7 (A) 及び (B) に示すように、第2配線層49を設けたことにより、第3の実施の形態に比べて、ある1つの第1パッド14に対して、複数の半田ボールのうちいずれか1つの半田ボールを選択した場合に、この選択された半田ボールへ、第1配線層18、第2配線層49及び他の第1配線層18を順次に介して接続することができるので、配線の引き回しの自由度を向上させることができる。

【0096】

また、この実施の形態の半導体装置60の製造方法は、第3の実施の形態で説明した搭載工程において、先ず、所定位置に設けられたアルミニウム(A1)からなる第4パッド45の頂面が露出するように絶縁膜21を形成する。続いて、その一端が第4パッド45に接続され且つ他端が後工程において所定の第1配線層18と接続されるような位置に亘って、銅からなる第2配線層49をパターンニング形成する。その後、第3の実施の形態の搭載工程と同様にして、第2半導体チップ44の載置面44b上の領域に、不図示のダイスボンダを介して第1半導体チップ15を載置して固定する。また、第3の実施の形態で説明した第1配線層形成工程と同様にして、第2配線層49の第1配線層18と接続される第5パッド46の頂面を露出させるように絶縁膜16を形成した後、第5パッド46に接続される第1配線層18を形成する。その後、第1の実施の形態と同様に外部端子形成工程を行い、半導体装置60を得る。

【0097】

上述した説明から明らかなように、この実施の形態では、第3の実施の形態と同様の効果を得ることができる。

【0098】

さらに、この実施の形態では、第2配線層49が設けられているので、第3の実施の形態よりも、第1パッドを所望の外部端子と電気的に接続させることができ、よって、配線の引き回しの自由度を向上させることができる。

【0099】

これにより、機能ブロックの設計位置やパッド配列の都合上、MCP化が困難回路構成を有する既存の半導体チップをそのまま使用することができるので、新たな半導体チップを作製する必要がない。

【0100】

<第5の実施の形態>

図8を参照して、この発明の第5の実施の形態に係る半導体装置70につき説明する。

【0101】

この実施の形態では、半導体チップ搭載部である第2半導体チップ44には、当該第2半導体チップ44の表裏を導通するための導体部54を有する貫通部、例えば、スルーホール52が形成されていて、当該導体部54が第1配線層18と電氣的に接続されている点が第3の実施の形態との主な相違点である。尚、この構成例は、第4の実施の形態に適用させても好適である。

【0102】

図8(A)及び図8(B)に示すように、半導体チップ搭載部である第2半導体チップ44には、スルーホール52が設けられている。このスルーホール52の内壁面には、シリコン酸化膜等の絶縁膜が設けられ、かつこの内壁絶縁膜上に導体部(銅やニッケル(Ni)等)54が形成されている。この導体部54によって、第2半導体チップ44の表裏間を導通可能としている。また、このスルーホール52の導体部54の両端には、これと電氣的に接続されるように、第2半導体チップ上に形成された第2ランド53及び第6パッド56が各々形成されている。

【0103】

また、第2ランド53の頂面は、絶縁層16に覆われずに露出されている。従って、スルーホール52の導体部54は、第2ランド53を介して第1配線層18と電氣的に接続されている。また、ここでの第6パッド56は、例えば、半導体装置をパッケージ積層型半導体装置として形成する際の半導体装置搭載用パッド又はコイルやコンデンサ等の受動素子搭載用パッドとなる。

【0104】

また、半導体装置をパッケージ積層型半導体装置とする場合には、半導体装置 7 0 の半田ボール 2 4 と、例えば、同様の構造を有する半導体装置 7 0 の第 6 パッド 5 6 とを接合して、第 1 半導体チップ 1 5 の厚み方向に複数積層させれば良い。

## 【 0 1 0 5 】

また、この構成例での第 1 半導体チップ 1 5 からの出力信号は、第 1 パッド 1 4 から第 1 配線層 1 8 とポスト部 2 0 とを介して半田ボール 2 4 へ至る経路、第 1 パッド 1 4 から第 1 配線層 1 8 と第 4 パッド 4 5 とを介して第 2 半導体チップ 4 4 へ至る経路、及び、第 1 パッド 1 4 から第 1 配線層 1 8 と第 2 ランド 5 3 とスルーホール 5 2 とを介して第 6 パッド 5 6 へ至る経路のうちの少なくとも 1 つの経路を経て伝送される。また、半田ボール 2 4、第 2 半導体チップ 4 4 及び第 6 パッド 5 6 からの入力信号は、上述とは逆の経路を経て伝送される。尚、伝送経路は上述した経路に限られず、目的や設計に応じて種々の配線経路として形成することができる。

## 【 0 1 0 6 】

また、この実施の形態の半導体装置 7 0 の製造方法は、第 3 の実施の形態で説明した搭載工程と同様に、所定位置にスルーホール 5 2 と露出された第 2 ランド 5 3 及び第 4 パッド 4 5 とが予め形成された第 2 半導体チップ 4 4 の載置面 4 4 b 上に、不図示のダイスボンダ剤を介して第 1 半導体チップ 1 5 を載置して固定する。

## 【 0 1 0 7 】

また、第 3 の実施の形態で説明した第 1 配線層形成工程と同様に、先ず、第 2 ランド 5 3 表面を露出させるように絶縁膜 1 6 を形成した後、第 2 ランド 5 3 の各々とそれぞれ接続関係が指定された第 1 配線層 1 8 を形成する。

## 【 0 1 0 8 】

その後、第 1 の実施の形態と同様に外部端子形成工程を行い、半導体装置 7 0 を得る。尚、第 2 半導体チップ 4 4 が具えるスルーホールは、例えば、スルーホール形成予定領域に対してドライエッチングを行い貫通孔を形成し、この貫通孔をシリコン酸化膜 ( $\text{SiO}_2$ ) やシリコン窒化膜 ( $\text{SiN}$ ) で内壁絶縁した後に

銅等を充填して形成する。

【0109】

上述した説明から明らかなように、この実施の形態では、第4の実施の形態と同様の効果を得ることができる。

【0110】

さらに、この実施の形態では、半導体装置70を積層させてパッケージ積層型半導体装置とした場合に、第2の実施の形態よりも単位高さ当たりの半導体チップを積層数を多くできるのでより一層の高密度実装を実現できる。

【0111】

<第6の実施の形態>

図9から図11を参照して、この発明の第6の実施の形態に係る半導体装置80につき説明する。

【0112】

図9(A)に示すように、半導体装置80が具える第1半導体チップ82の主表面上には、アルミニウムからなる第1パッド14が第1半導体チップ82の外周に沿って所定間隔毎に配置されている。

【0113】

図9(B)に示すように、支持部である基板83のうち基板の搭載面83e上に、第1半導体チップ82が載置され固定されている。この搭載面83eのうち、実際に第1半導体チップ82が載置されている領域を載置面83fとし、それ以外の領域を不載置面83gとする。第1半導体チップ82は、基板83側の第2主表面である裏面82dと、裏面82dと反対側の第1主表面である主表面82aと、この主表面82aの周縁に接続する傾斜側壁面82bと、この傾斜側壁面82bと連続形成されている基板の搭載面83eに対して垂直な垂直壁面82cとを有している。この傾斜側壁面82bは、第1半導体チップの主表面82aと直交する壁面との稜部を斜めに面取りして形成されており、その残部が垂直壁面82cである。

【0114】

また、第1半導体チップ82の裏面82d及び基板の載置面83f間は、ダイ

スボンド剤等（不図示）によって固定（固着）されている。また、この構成例の支持部としての基板 8 3 には、既に説明した種々の基板を使用可能であるが、支持部としての機能を果たすものであれば良い。

## 【 0 1 1 5 】

さらに、基板の不載置面 8 3 g には、第 1 半導体チップ 8 2 の側壁を包囲、より詳細には、傾斜側壁面 8 2 b の少なくとも主表面 8 2 a 側の面領域を露出させるように、例えば、第 1 半導体チップ 8 2 の側壁 8 2 x のうち傾斜側壁面 8 2 b に至る高さで当該第 1 半導体チップ 8 2 を取り囲むように、感光性樹脂（感光性ポリイミド等）からなる枠状部 8 6 が設けられている。

## 【 0 1 1 6 】

また、第 1 半導体チップ 8 2 の主表面 8 2 a、傾斜側壁面 8 2 b 及び不載置面 8 3 g の上側には、第 1 半導体チップ 8 2 の主表面上の第 1 パッド 1 4 の頂面を露出させるように、絶縁膜 1 6 が設けられている。また、第 1 パッド 1 4 は、実装基板に接続するための外部端子を構成している半田ボール 2 4 と、専用の第 1 配線層（第 1 再配線層或いは第 1 配線パターンとも称する。）1 8 を介して、電氣的に個別に接続されている。

## 【 0 1 1 7 】

より詳細には、この構成例における第 1 配線層 1 8 は、その一端は第 1 パッド 1 4 に接続されるとともに、第 1 半導体チップ 8 2 の傾斜側壁面 8 2 b 上及び枠状部 8 6 の第 3 主表面 8 6 j 上を沿うように、主表面 8 2 a と枠状部 8 6 の第 3 主表面 8 6 j との間の高低差に応じてその切断面が屈曲するように延在している。この第 1 配線層 1 8 の延在部分は、当該第 1 パッド 1 4 と電氣的な接続が指定されている半田ボール 2 4 と、ポスト部 2 0 を介して、電氣的に接続されている。

## 【 0 1 1 8 】

また、第 1 半導体チップ 8 2 及び枠状部 8 6 の上側には、絶縁膜 1 6 及び第 1 配線層 1 8 等を覆うように、かつポスト部 2 0 の頂面を露出させるように、エポキシ樹脂等による封止層 2 2 が形成されている。この封止層 2 2 の上面は平坦面とする。そして、このポスト部 2 0 に、プリント基板（不図示）等への接続用パ

ンプとなる半田ボール 2 4 が形成されている。

【 0 1 1 9 】

また、この構成例での第 1 半導体チップ 8 2 からの出力信号は、各第 1 パッド 1 4 から第 1 配線層 1 8 とポスト部 2 0 とを介して半田ボール 2 4 へ至る経路に伝送される。また、半田ボール 2 4 からの入力信号は、上述とは逆の経路を経て伝送される。

【 0 1 2 0 】

続いて、図 1 0 及び図 1 1 を参照して、この半導体装置 8 0 の製造方法につき以下説明する。

【 0 1 2 1 】

先ず、傾斜側壁面形成工程として、第 1 パッド 1 4 が形成された第 1 主表面 8 2 a、第 1 主表面 8 2 a と対向しかつ第 1 主表面よりも大面積を有する第 2 主表面 8 2 d、及び第 1 及び第 2 主表面間（8 2 a、8 2 d）を接続している側壁面 8 2 c を有する第 1 半導体チップの第 1 主表面 8 2 a と側壁面 8 2 c との稜部の面取りを行って、傾斜側壁面 8 2 b を形成して、メサ型の第 1 半導体チップ 8 2 を得る。

【 0 1 2 2 】

そのため、先ず、個片化前の第 1 半導体チップ 8 2' を複数個具える半導体ウェハ 8 1 を用意する。図 1 0 (A) に示すように、この個片化前の第 1 半導体チップ 8 2' には、その主表面上に第 1 パッド 1 4 が所定間隔、例えば、0. 0 3 5 mm ～ 0. 1 8 mm 毎に形成されている。このウェハ 8 1 の裏面側を、粘着剤（不図示）が塗られたウェハ固定用テープ 3 2 で接着して固定する。尚、図中には便宜上約 2 個の個片化前の第 1 半導体チップ 8 2' が図示されているが、これに限定されるものではない。また、半導体ウェハ 8 1 のうち隣接する個片化前の前第 1 半導体チップ 8 2' 間には、0. 0 8 mm 程度のスクライブライン（不図示）が形成されている。

【 0 1 2 3 】

続いて、図 1 0 (B) に示すように、高速回転するブレード（切削工具）等によって、各個片化前の第 1 半導体チップ 8 2' の稜部の面取りを行う。このとき

使用するブレードの刃先は、先端の断面形状がV字型となるような角度（頂角） $\phi$ （例えば、 $60^\circ < \theta < 90^\circ$  程度）を有する。これにより、V字型に切削された溝 8 9 の形成によって、傾斜側壁面 8 2 b が形成される。そして、この傾斜側壁面 8 2 b の形成後、スクライピング用の、通常のブレード 7 9 等によって個々の第 1 半導体チップ 8 2 毎に個片化、すなわち、分離する。

## 【 0 1 2 4 】

次に、枠状部形成工程として、支持部 8 3 上に、第 3 主表面 8 6 j と、第 3 主表面と対向する第 4 主表面 8 6 k とを有するとともに、傾斜側壁面 8 2 b の少なくとも第 1 半導体チップの第 1 主表面 8 2 a 側の面領域を露出させて配置させるための開口部を有する枠状部 8 6 を、第 4 主表面 8 6 k と支持部 8 3 とが対向配置されるように形成する。

## 【 0 1 2 5 】

支持部である基板 8 3 上に枠状部 8 6 を形成するが、このとき、後述するように後工程においてその枠の内側すなわち開口部に、第 1 半導体チップ 8 2 を、その側壁を包囲するとともに傾斜側壁面 8 2 b の一部を少なくとも露出させるように、収容させる。

## 【 0 1 2 6 】

そこで、図 1 0 (C) に示すように、共通の基板 8 3 上に枠状部 8 6 を、感光性樹脂材をスピン塗布した後、例えば、ホトリソ及びキュアリング処理によって形成する。尚、枠状部 8 6 の形成には、この他にも高精度印刷方式等を適用することができる。基板の搭載面 8 3 e のうち、この枠状部 8 6 で囲まれた基板 8 3 の露出表面が載置面 8 3 f である。

## 【 0 1 2 7 】

次に、搭載工程として、第 1 半導体チップ 8 2 を開口部内に配置することにより、支持部 8 3 上に搭載する。そのため、この第 1 半導体チップ 8 2 は、この枠状部 8 6 に、実質的に隙間なく嵌め込まれる大きさとなっている。

## 【 0 1 2 8 】

図 1 1 (A) に示すように、個片化した第 1 半導体チップ 8 2 の各々を、共通基板 8 3 上の所定位置、ここでは載置面 8 3 f に載置する。この載置面 8 3 f に

第1半導体チップ82を載置すると、第1半導体チップ82の側壁が枠状部86によって包囲される。このとき、第1半導体チップ82の裏面82dと載置面83fとの間を、例えば、ダイスボンダ剤等（不図示）によって固定する。尚、この構成例では、枠状部86を構成する感光性樹脂を完全に硬化させる前（例えば、予備硬化時等）に第1半導体チップ82を載置面83f上に載置することにより、第1半導体チップ82及び感光性樹脂86間の密着性をさらに向上させることができる。その結果、第1半導体チップ82及び感光性樹脂86間の隙間（ボイド）の発生を抑制でき、耐湿性に優れた界面を形成できる。

## 【0129】

次に、第1配線層形成工程として、第1パッド14に電氣的に接続されるとともに、該第1パッド14から、第1主表面82a及び傾斜側壁面82bに沿って、枠状部86の第3主表面である主表面86jの上側へと延在する第1配線層18を形成する。

## 【0130】

そこで、図11（B）に示すように、先ず、第1半導体チップ82の主表面82a及び傾斜側壁面82bと枠状部86の主表面86jとに亘って、第1パッド14の例えば頂面を露出させるように、シリコン酸化膜及びポリイミド膜が順次に積層された積層膜からなる絶縁膜16を形成する。

## 【0131】

絶縁膜16の下地面を構成する第1半導体チップ82の主表面82aと枠状部86の表面との間には高低差（段差）があるため、絶縁膜はこの段差に対応して形成される。

## 【0132】

続いて、銅からなる第1配線層18を、第1パッド14にその一端が接続されるように、かつ絶縁膜16上を傾斜側壁面82bから枠状部86の主表面86j上に亘って、上述した主表面82aと枠状部86の第3主表面86jとの間の高低差に応じてその切断面が屈曲して延出されるように、ホトリソ及びスパッタ等によって形成する。

## 【0133】

このとき、第1配線層18のうち、半導体チップの主表面82aと側壁面82bとの境界上、及び側壁面82bと感光性樹脂の主表面86jとの境界上に位置する部分（図中、破線zで囲まれた部分）の、第1配線層18の延在方向と実質直交する方向（図示の紙面と直交する方向）に有する幅を、第1配線層の他（残り）の部分の当該幅よりも広くなるように形成するのが良い。

## 【0134】

その結果、衝撃や応力の集中に弱いこれら境界上の第1配線層18を補強することができる。

## 【0135】

次に、外部端子形成工程として、第1配線層18の、棒状部86への延在部分の上側に、第1パッド14と第1配線層18を介して電氣的に接続されるように外部端子を形成する。

## 【0136】

先ず、棒状部86上の各絶縁膜16の表面に延在している第1配線層18上に、対応する銅からなるポスト部20をホトリソ及びめっき等によって形成する。

## 【0137】

続いて、ポスト部20が形成された基板83の搭載面側に、ポスト部20が隠れる程度まで有機樹脂（エポキシ樹脂等）からなる封止材を用いてトランスファ－成形法で封止層22を形成する。その後、グラインダー等によって封止層22及びポスト部20に対する研磨を行い、全てのポスト部20の頂面を露出させて外部端子の搭載面を形成する。

## 【0138】

然る後、この露出する外部端子用の搭載面上に、プリント基板（不図示）への接続用のバンプである外部端子としての半田ボール24をリフロー形成する。この構成例では、外部端子である半田ボール24同士の最小間隔を、例えば、0.3mm以上とすることができる（図11（C））。

## 【0139】

その後、高速に回転している、面取り作用のない、通常のブレード等によって、各半導体装置（パッケージ）80毎に切り出す（図9（B）参照）。

## 【0140】

上述した説明から明らかなように、この実施の形態では、第1の実施の形態と同様の効果を得ることができる。

## 【0141】

さらに、この実施の形態では、上述したような枠状部を設けたことより、第1半導体チップの側壁のうち当該枠状部から露出する部分を傾斜側壁面とすれば良い。そのため、この実施の形態では、第1半導体チップのうち傾斜側壁面以外の壁面を垂直壁（垂直端面）とすることができる。

## 【0142】

よって、第1の実施の形態のように、チップの裏面に至るダイシングにより傾斜した側壁面を形成する場合に比べてダイシングの深さを浅くできるので、ウェハのダイシングラインの幅を縮めることができる。

## 【0143】

その結果、ウェハ1枚当たりのチップ収集数の向上を図ることができ、半導体装置の製品コストの上昇を抑制することができる。

## 【0144】

また、摩耗し易いV字型刃ブレードの使用量を低減できるので、第1の実施の形態に比べて、当該ブレードの寿命が長くなるうえに第1半導体チップ毎に個片化する際の切削時間を短縮できる。

## 【0145】

## &lt;第7の実施の形態&gt;

図12を参照して、この発明の第7の実施の形態に係る半導体装置90につき説明する。

## 【0146】

図12に示すように、この実施の形態の半導体装置90には支持部である基板83が具備されていない点が、第6の実施の形態との主な相違点である。

## 【0147】

また、この実施の形態の半導体装置90の製造方法は、第6の実施の形態で説明した搭載工程において、第1半導体チップ82の裏面82d及び載置面83f

間を、接着性の低い接着剤（不図示）によって固定する。低接着性な接着剤として、例えば、光プラズマによるアッシング処理や $\text{CF}_4$ プラズマ処理による疎水基の導入等が施された、硬化後のポリイミド膜等を使用できる。

【0148】

そして、第6の実施の形態と同様にして外部端子形成工程まで行った後、この実施の形態では、基板83をバキューム等によって剥離して除去する支持部除去工程を行って半導体装置90を得る。

【0149】

上述した説明から明らかなように、この実施の形態では、第6の実施の形態と同様の効果を得ることができる。

【0150】

さらに、この実施の形態では、支持部である基板83を具備しない構成であるため、第6の実施の形態よりも半導体装置の薄膜化を図ることができる。

【0151】

さらに、第6の実施の形態のような接着剤が不要のため、熱膨張等による寸法誤差や耐薬品性に対する懸念がなく、よって、高信頼性な半導体装置となる。

【0152】

<第8の実施の形態>

図13を参照して、この発明の第8の実施の形態に係る半導体装置95につき説明する。

【0153】

この実施の形態では、棒状部である感光性樹脂86に、当該基板83の表裏間を導通するための導体部98を有する貫通部であるスルーホール96が形成されていて、かつ当該導体部98が第1配線層18と電氣的に接続されている点が第7の実施の形態との主な相違点である。

【0154】

図13に示すように、棒状部である感光性樹脂86にはスルーホール96が形成されており、このスルーホール96の内壁全面に当該感光性樹脂86の表裏間を導通可能とする導体部（銅めっき層）98が形成されている。このスルーホー

ル96の両端には、銅からなる第3ランド97及び第7パッド99がそれぞれ形成されている。

## 【0155】

スルーホール96の導体部98は、上述した他の実施の形態の場合と同様に、露出された第3ランド97を介して第1配線層18と電気的に接続されている。また、ここでの第7パッド99は、例えば、半導体装置をパッケージ積層型半導体装置として形成する際の半導体装置搭載用パッド又はコイルやコンデンサ等の受動素子搭載用パッドとなる。

## 【0156】

また、半導体装置95によってパッケージ積層型半導体装置を構成する場合には、半導体装置95の半田ボール24と、例えば、同様の構造を有する半導体装置95の第7パッド99とを接合して、第1半導体チップ82の厚み方向に複数積層させれば良い。

## 【0157】

また、この構成例での第1半導体チップ82からの出力信号は、第1パッド14から第1配線層18とポスト部20とを介して半田ボール24へ至る経路、及び、第1パッド14から第1配線層18と第3ランド97とスルーホール96とを介して第7パッド99へ至る経路の双方またはいずれか一方の経路を経て伝送される。また、半田ボール24や第7パッド99からの入力信号は、上述とは逆の経路を経て伝送される。

## 【0158】

また、この実施の形態での半導体装置95の製造方法は、第7の実施の形態で説明した搭載工程と同様に、第1半導体チップ82を、所定位置にスルーホール96と露出された第3ランド97とが予め形成された感光性樹脂86によって包囲されるような位置に、不図示の接着性の低い接着剤を介してを載置して固定する。また、第7の実施の形態で説明した第1配線層形成工程と同様に、先ず、第1パッド14及び第3ランド97の頂面を露出させるように、絶縁膜16を形成した後、第1パッド14とこの第1パッド14との接続関係が指定されている第3ランド97とが接続されるように、第1配線層18を形成する。そして、第7

の実施の形態と同様にして外部端子形成工程まで行った後、基板 8 3 をバキューム等によって剥離して除去する支持部除去工程を行う。その後、各スルーホール 9 6 に対応する位置に第 7 パッド 9 9 を形成して半導体装置 9 5 を得る。尚、この構成例のスルーホール 9 6 の形成は、先ず、感光性樹脂 8 6 にホトリソエッチングによって貫通孔を形成する。そして、この貫通孔の内壁に印刷法等により導体部 9 8 をコーティングした後に感光性樹脂を硬化させて、この硬化した樹脂に対してめっき法等で導体部 9 8 を形成することにより得られる。尚、この構成例では、感光性樹脂を完全に硬化させる前に第 1 半導体チップ 8 2 を載置しても良い。この場合には、第 1 半導体チップ 8 2 及び感光性樹脂 8 6 間の密着性をさらに向上させることができ、耐湿性に優れた界面を形成できる。

## 【 0 1 5 9 】

上述した説明から明らかなように、この実施の形態では、第 7 の実施の形態と同様の効果を得ることができる。

## 【 0 1 6 0 】

さらに、この半導体装置を積層させてパッケージ積層型半導体装置とした場合には、従来の WB 方式のパッケージ積層型半導体装置では困難であったファンイン構造が可能となり、よって、パッケージサイズの小型化及び薄膜化を図ることができる。

## 【 0 1 6 1 】

以上、この発明は、上述した実施の形態の組合せのみに限定されない。よって、任意好適な段階において好適な条件を組み合わせ、この発明を適用することができる。

## 【 0 1 6 2 】

例えば、上述した各実施の形態では BGA 型について説明したが、この発明を LGA 型に任意好適に適用させても良い。

## 【 0 1 6 3 】

また、上述した各実施の形態では、ファンイン／ファンアウト構造を有する半導体装置について説明したが、目的や設計に応じてファンアウト構造のみを有する場合であっても良い。

【 0 1 6 4 】

【発明の効果】

上述した説明から明らかなように、この発明によれば、第 1 半導体チップ上方（すなわち、ファンイン部）はもとより第 1 半導体チップの上方以外の領域（すなわち、ファンアウト部）にも外部端子を配置されたファンアウト構造にでき、通常の W C S P に比べて多ピン化に対応可能な半導体装置となる。

【 0 1 6 5 】

さらに、半導体チップ上の電極パッドと外部端子とが配線層（再配線層とも称する。）を介して電氣的に接続されているため、W B 方式に比べて総信号配線長の短縮等を図ることができ、よって、優れた高周波特性を有する半導体装置となる。

【図面の簡単な説明】

【図 1】

(A) は、この発明の第 1 の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第 1 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 2】

(A) ～ (C) は、この発明の第 1 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 3】

(A) ～ (C) は、この発明の第 1 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 4】

(A) は、この発明の第 2 の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第 2 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 5】

(A) は、この発明の第 3 の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第 3 の実施の形態の半導体装置の一部を示す概略断面図

である。

【図 6】

(A) ～ (C) は、この発明の第 3 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 7】

(A) は、この発明の第 4 の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第 4 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 8】

(A) は、この発明の第 5 の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第 5 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 9】

(A) は、この発明の第 6 の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第 6 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 1 0】

(A) ～ (C) は、この発明の第 6 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 1 1】

(A) ～ (C) は、この発明の第 6 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 1 2】

この発明の第 7 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 1 3】

この発明の第 8 の実施の形態の半導体装置の一部を示す概略断面図である。

【符号の説明】

1 0、1 1、5 0、6 0、7 0、8 0、9 0、9 5 : 半導体装置

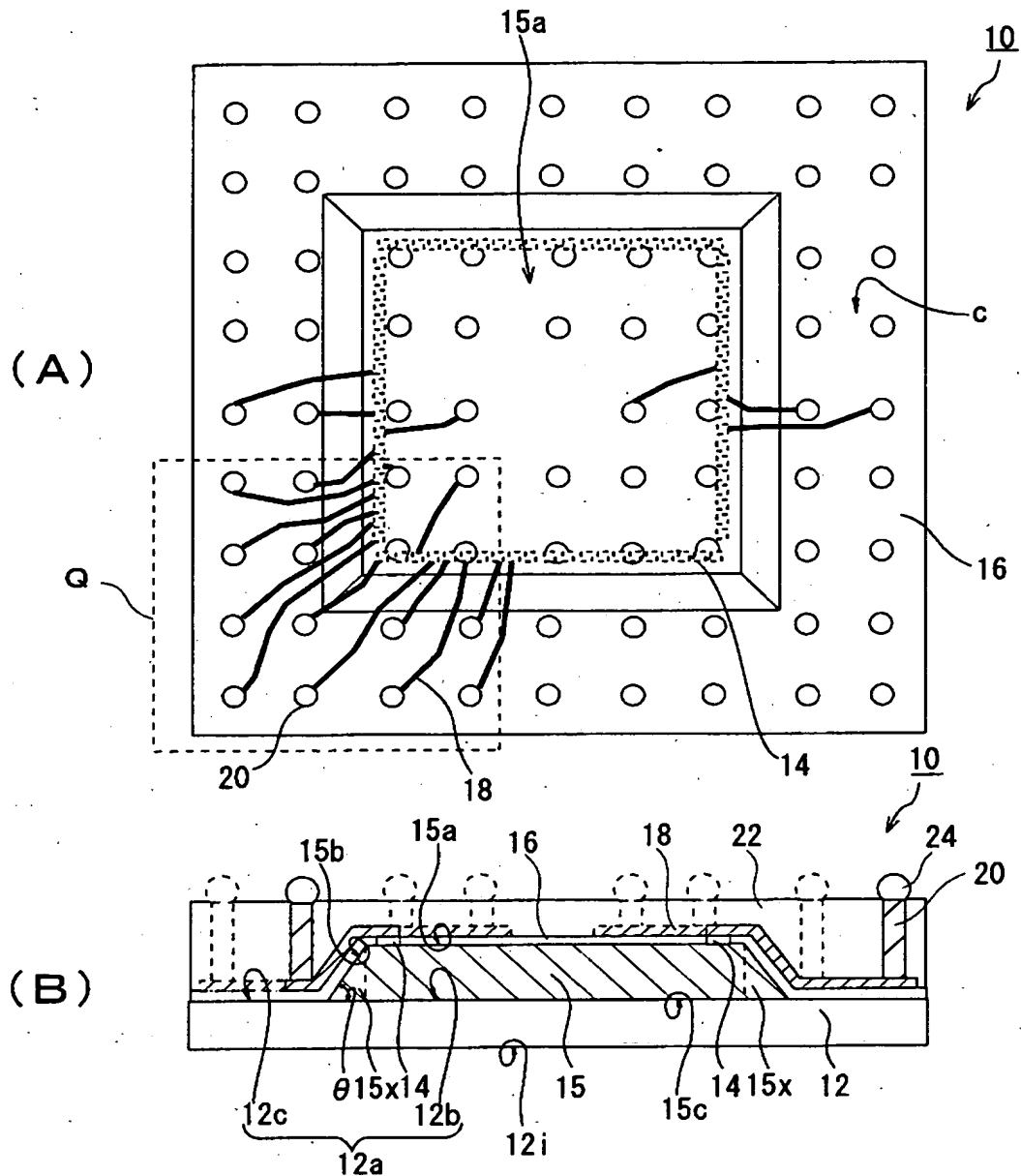
1 2 : 基板 (半導体チップ搭載部)

- 1 2 a : 基板の搭載面 (第 3 主表面)
- 1 2 b : 基板の載置面 (第 1 の領域)
- 1 2 c : 基板の不載置面 (第 2 の領域)
- 1 2 i : 基板の裏面 (第 4 主表面)
- 1 4 : 第 1 パッド
- 1 5、8 2 : 第 1 半導体チップ
- 1 5 a : 第 1 半導体チップの主表面 (第 1 主表面)
- 1 5 b : 第 1 半導体チップの側壁面
- 1 5 c : 第 1 半導体チップの裏面 (第 2 主表面)
- 1 5 x : 第 1 半導体チップの側壁
- 1 5'、8 2' : 個片化前の第 1 半導体チップ
- 1 6、2 1 : 絶縁膜
- 1 8 : 第 1 配線層 (第 1 再配線層)
- 1 9 : ブレード (V 字型刃付き)
- 2 0 : ポスト部
- 2 2 : 封止層
- 2 4 : 半田ボール (外部端子)
- 3 0、8 1 : 半導体ウェハ
- 3 2 : ウェハ固定テープ
- 3 6、8 9 : 溝
- 3 8、5 2、9 6 : スルーホール (貫通部)
- 3 9、5 4、9 8 : 導体部
- 4 0 : 第 3 パッド
- 4 2 : 第 1 ランド
- 4 3 : 第 2 パッド
- 4 4 : 第 2 半導体チップ
- 4 4 a : 第 2 半導体チップの搭載面 (第 3 主表面)
- 4 4 b : 第 2 半導体チップの載置面 (第 1 の領域)
- 4 4 c : 第 2 半導体チップの不載置面 (第 2 の領域)

- 4 4 i : 第 2 半導体チップの裏面 (第 4 主表面)
- 4 5 : 第 4 パッド
- 4 6 : 第 5 パッド
- 4 9 : 第 2 配線層 (第 2 再配線層)
- 5 3 : 第 2 ランド
- 5 6 : 第 6 パッド
- 7 9 : ブレード (V 字型刃無し)
- 8 2 a : 第 1 半導体チップの主表面 (第 1 主表面)
- 8 2 b : 第 1 半導体チップの傾斜側壁面
- 8 2 c : 第 1 半導体チップの垂直壁面
- 8 2 d : 第 1 半導体チップの裏面 (第 2 主表面)
- 8 3 : 基板 (支持部)
- 8 3 e : 基板の搭載面
- 8 3 f : 基板の載置面
- 8 3 g : 基板の不載置面
- 8 6 : 感光性樹脂 (棒状部)
- 8 6 j : 感光性樹脂の主表面 (第 3 主表面)
- 8 6 k : 感光性樹脂の裏面 (第 4 主表面)
- 9 7 : 第 3 ランド

【書類名】 図面

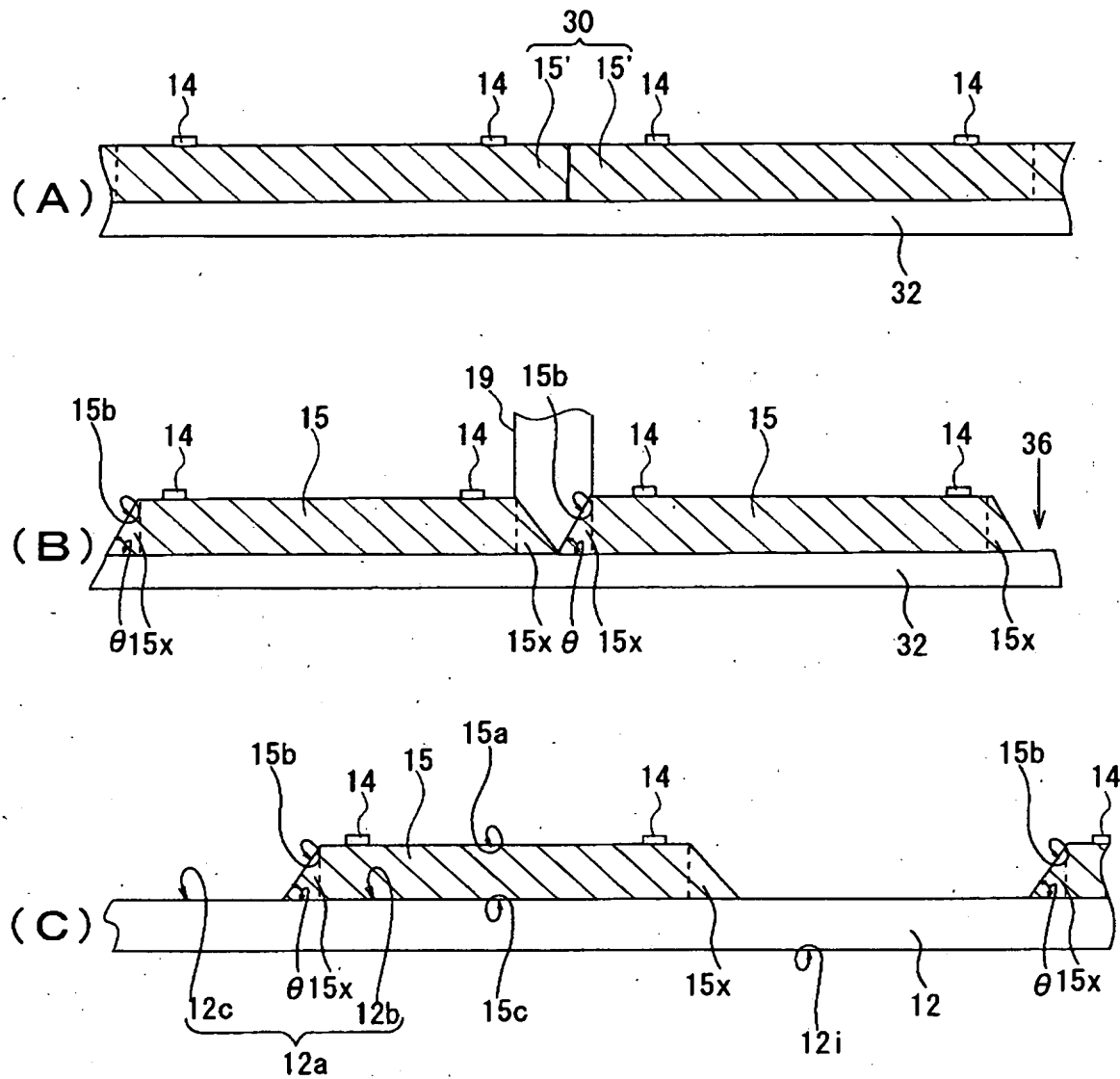
【図 1】



10:半導体装置 12:基板(半導体チップ搭載部) 14:第1パッド  
 12a:基板の搭載面(第3主表面) 12b:基板の載置面(第1の領域)  
 12c:基板の不載置面(第2の領域) 12i:基板の裏面(第4主表面)  
 15:第1半導体チップ 15a:第1半導体チップの主表面(第1主表面)  
 15b:第1半導体チップの側壁面  
 15c:第1半導体チップの裏面(第2主表面)  
 15x:第1半導体チップの側壁 16:絶縁膜 18:第1配線層(第1再配線層)  
 20:ポスト部 22:封止層 24:半田ボール(外部端子)

この発明の第1の実施の形態の半導体装置

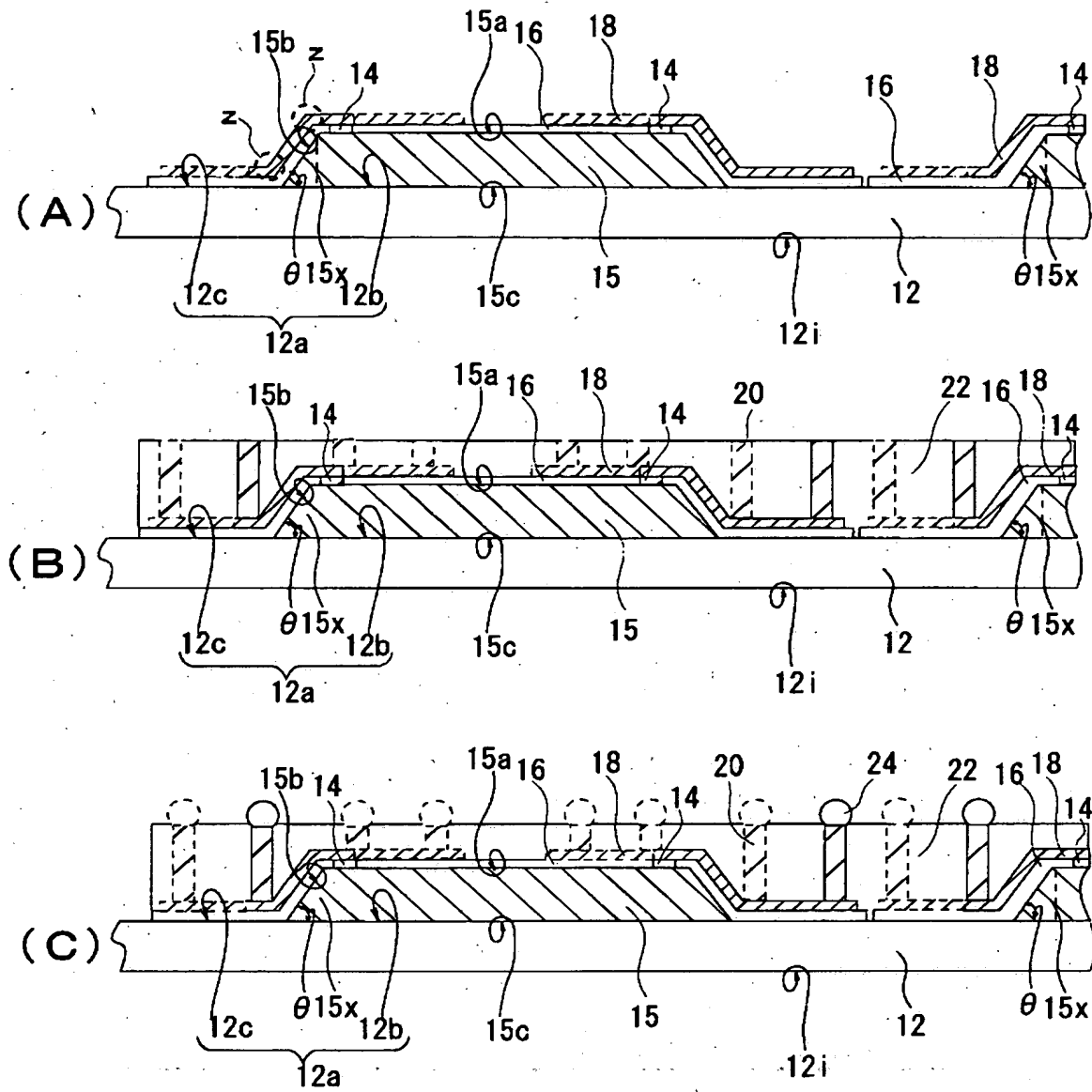
【図 2】



15' : 個片化前の第 1 半導体チップ 19: ブレード (V 字型刃付き)  
 30: 半導体ウェハ 32: ウェハ固定テープ 36: 溝

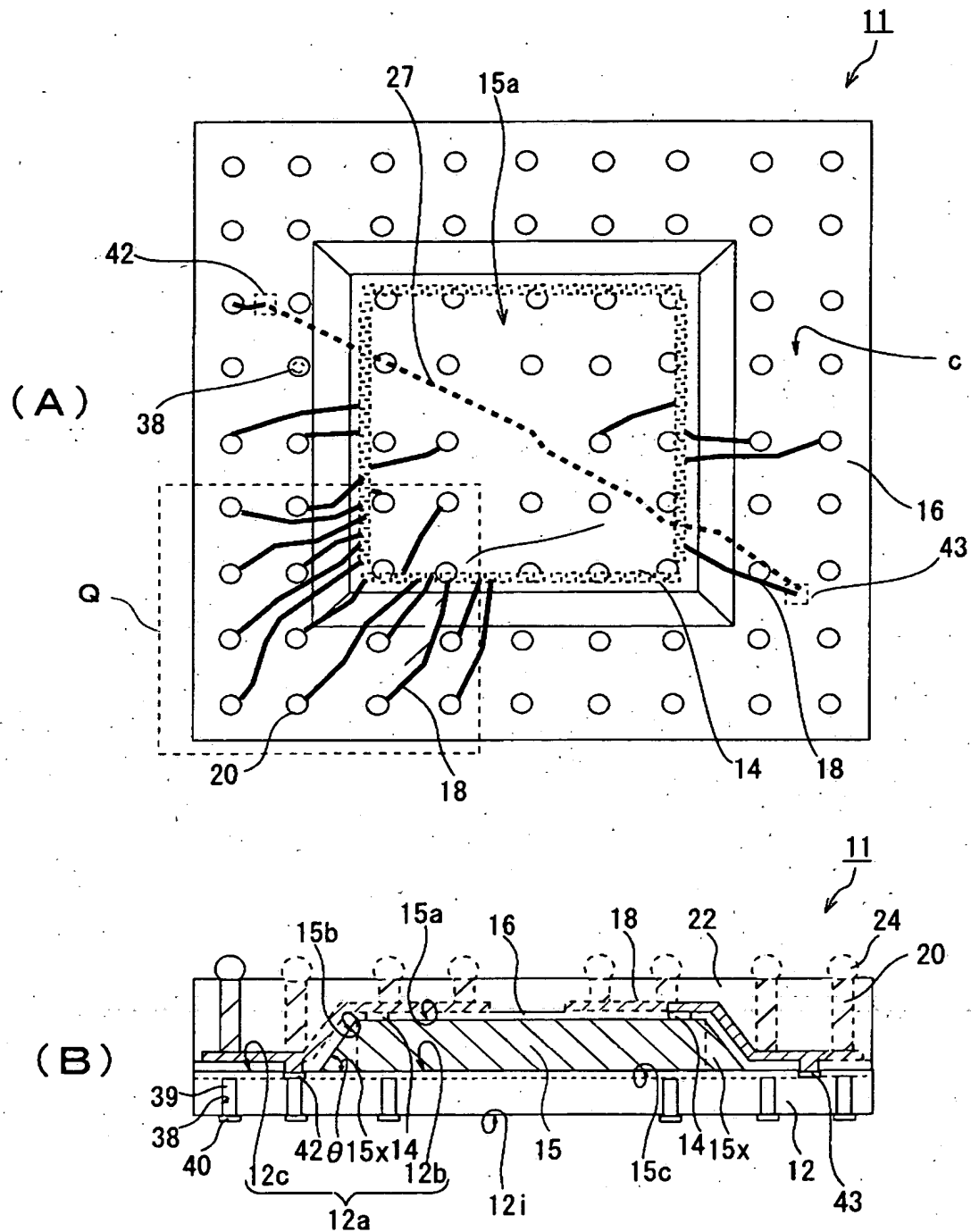
この発明の第 1 の実施の形態の半導体装置の製造工程

【図 3】



この発明の第 1 の実施の形態の半導体装置の製造工程

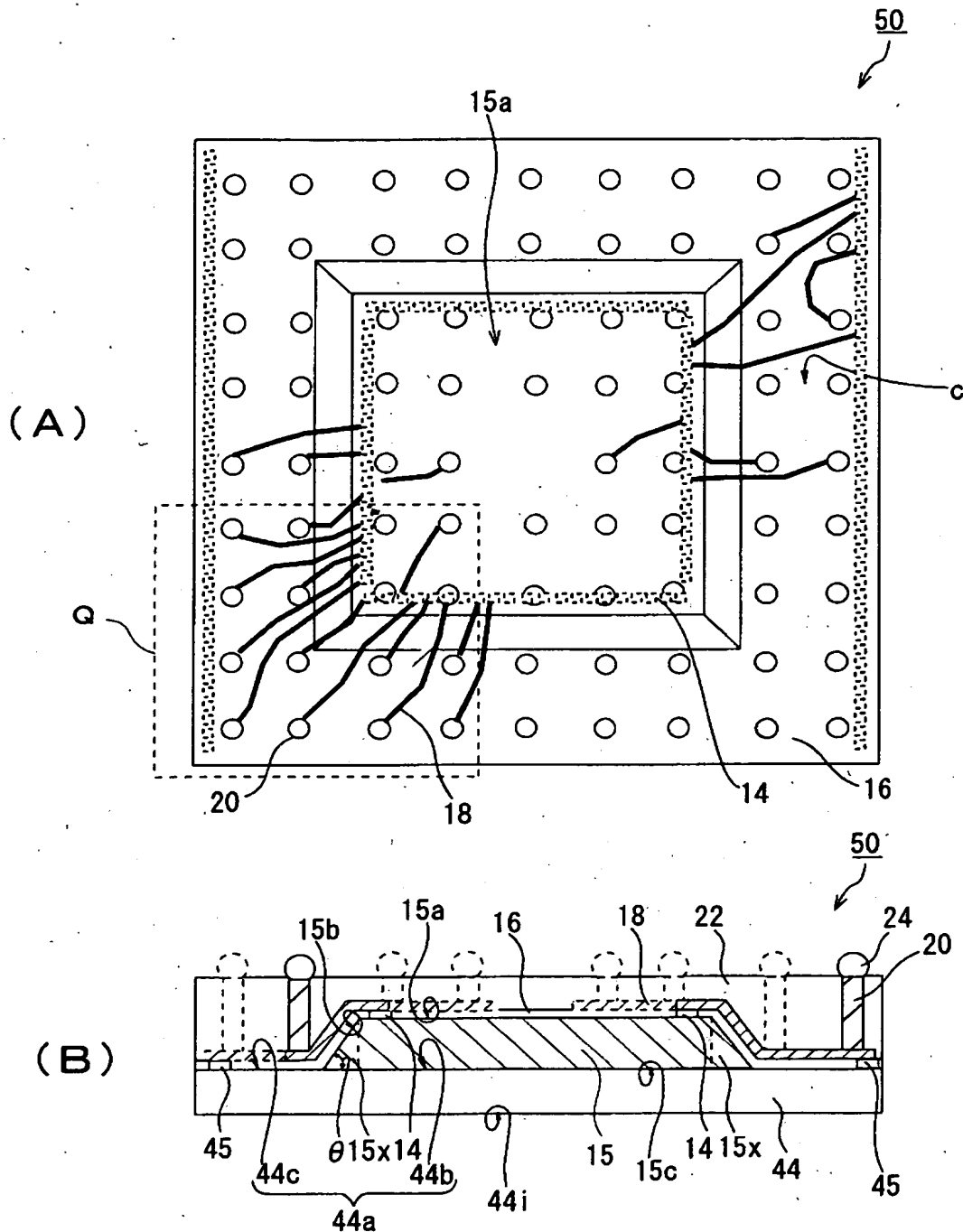
【図 4】



11:半導体装置 27:配線部 38:スルーホール（貫通部）  
 39:導体部 40:第3パッド 42:第1ランド 43:第2パッド

この発明の第2の実施の形態の半導体装置

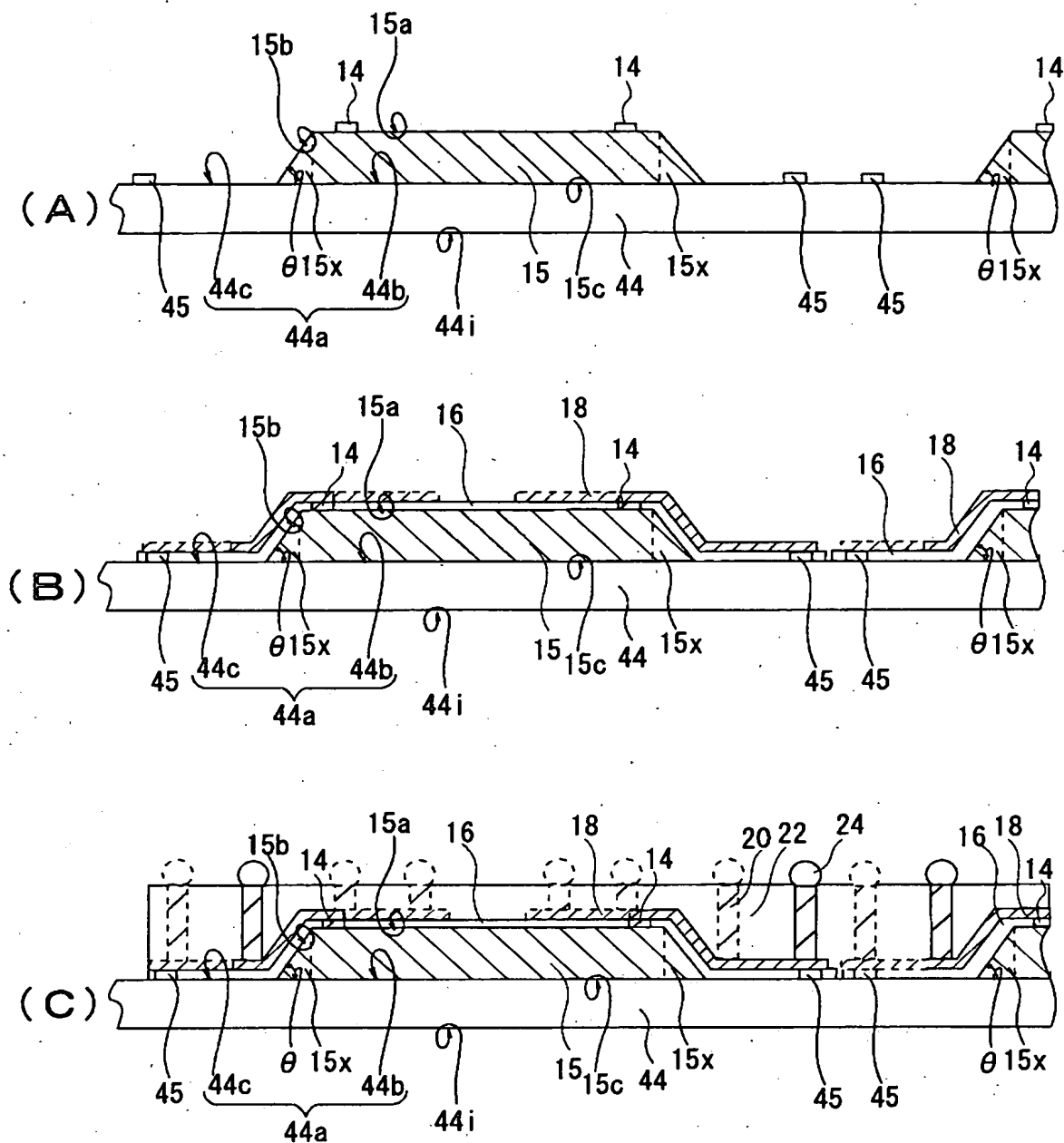
【図 5】



- 44: 第 2 半導体チップ 44a: 第 2 半導体チップの搭載面 (第 3 主表面)  
 44b: 第 2 半導体チップの載置面 (第 1 の領域)  
 44c: 第 2 半導体チップの不載置面 (第 2 の領域)  
 44i: 第 2 半導体チップの裏面 (第 4 主表面) 45: 第 4 パッド  
 50: 半導体装置

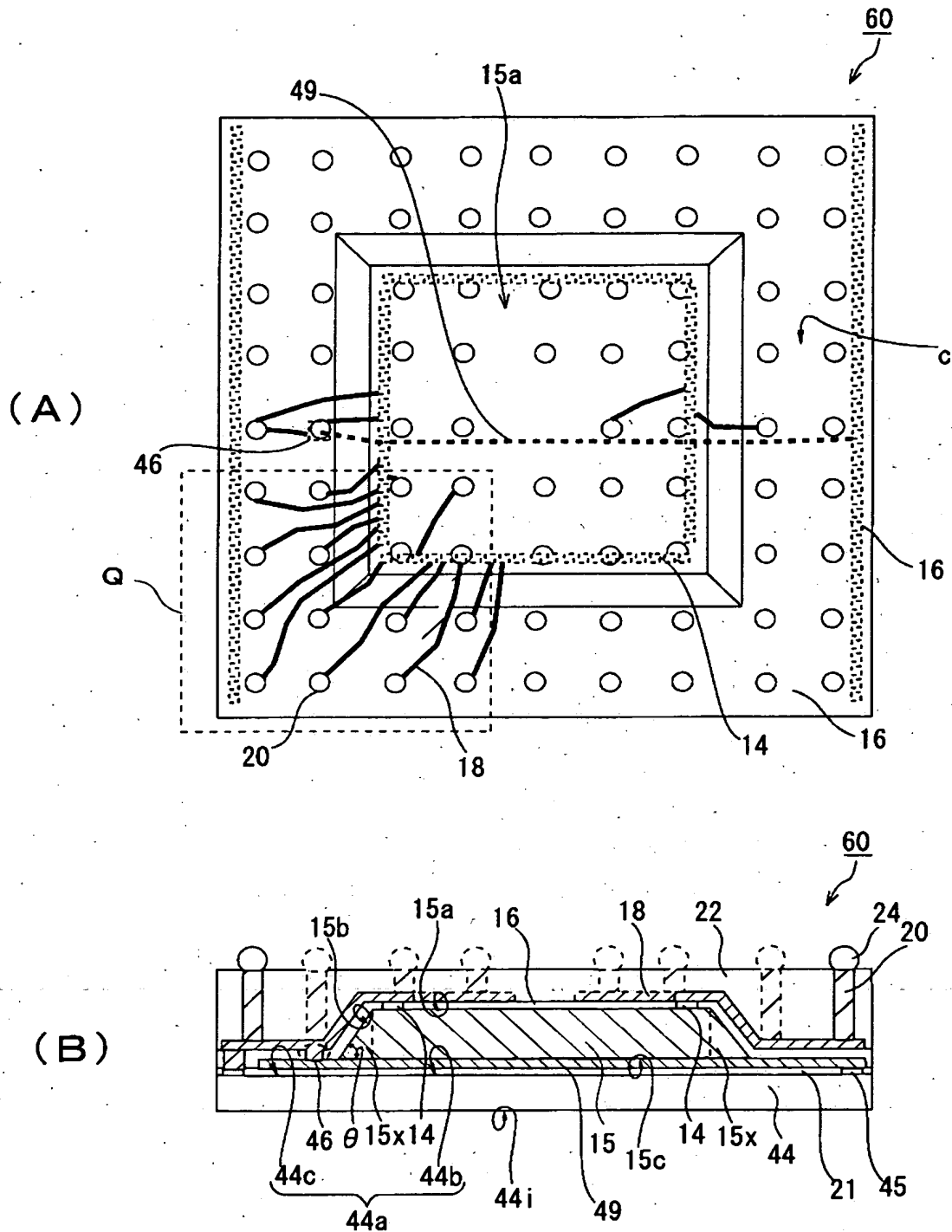
この発明の第 3 の実施の形態の半導体装置

【図 6】



この発明の第 3 の実施の形態の半導体装置の製造工程

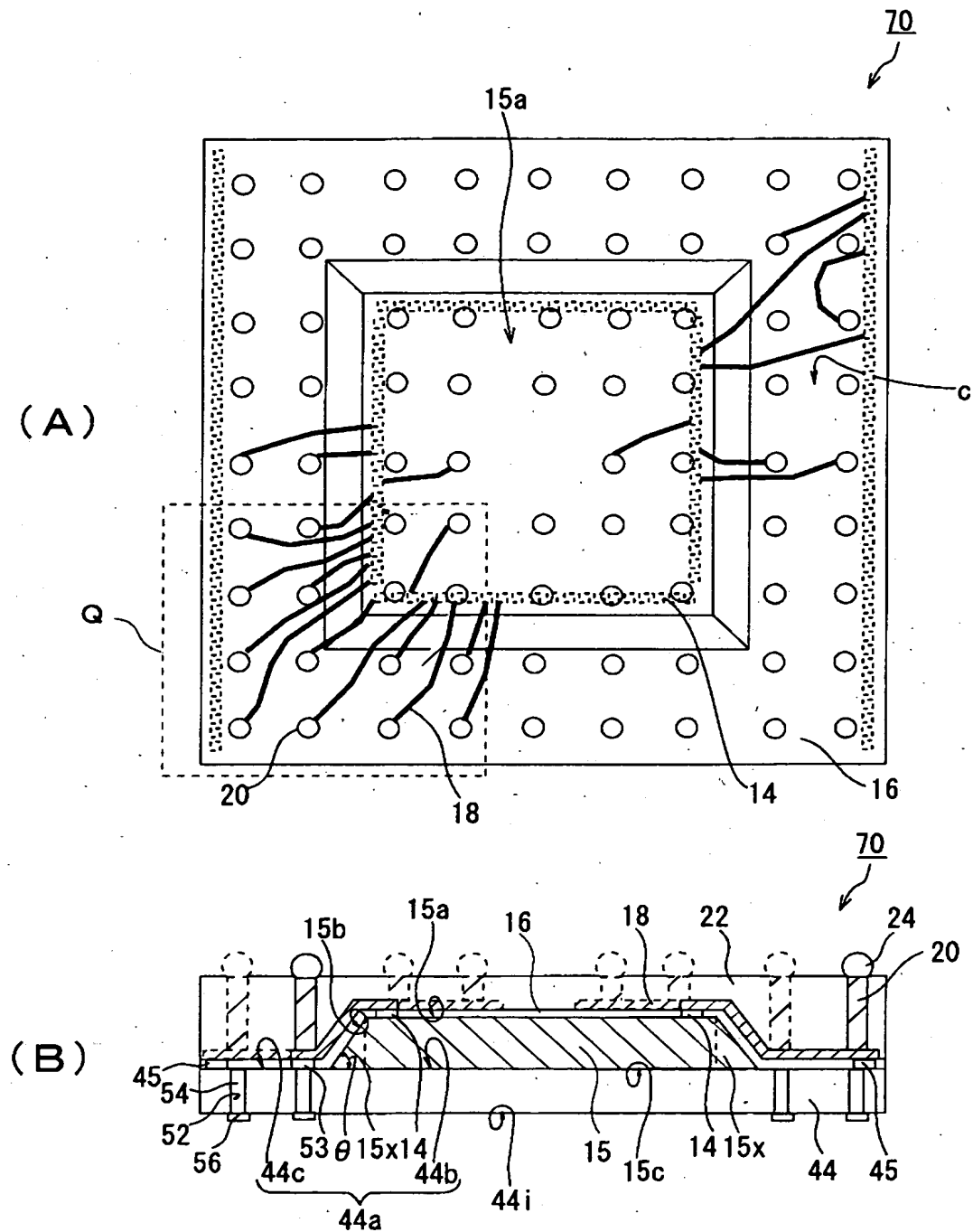
【図 7】



21:絶縁膜 46:第5パッド 49:第2配線層(第2再配線層)  
60:半導体装置

この発明の第4の実施の形態の半導体装置

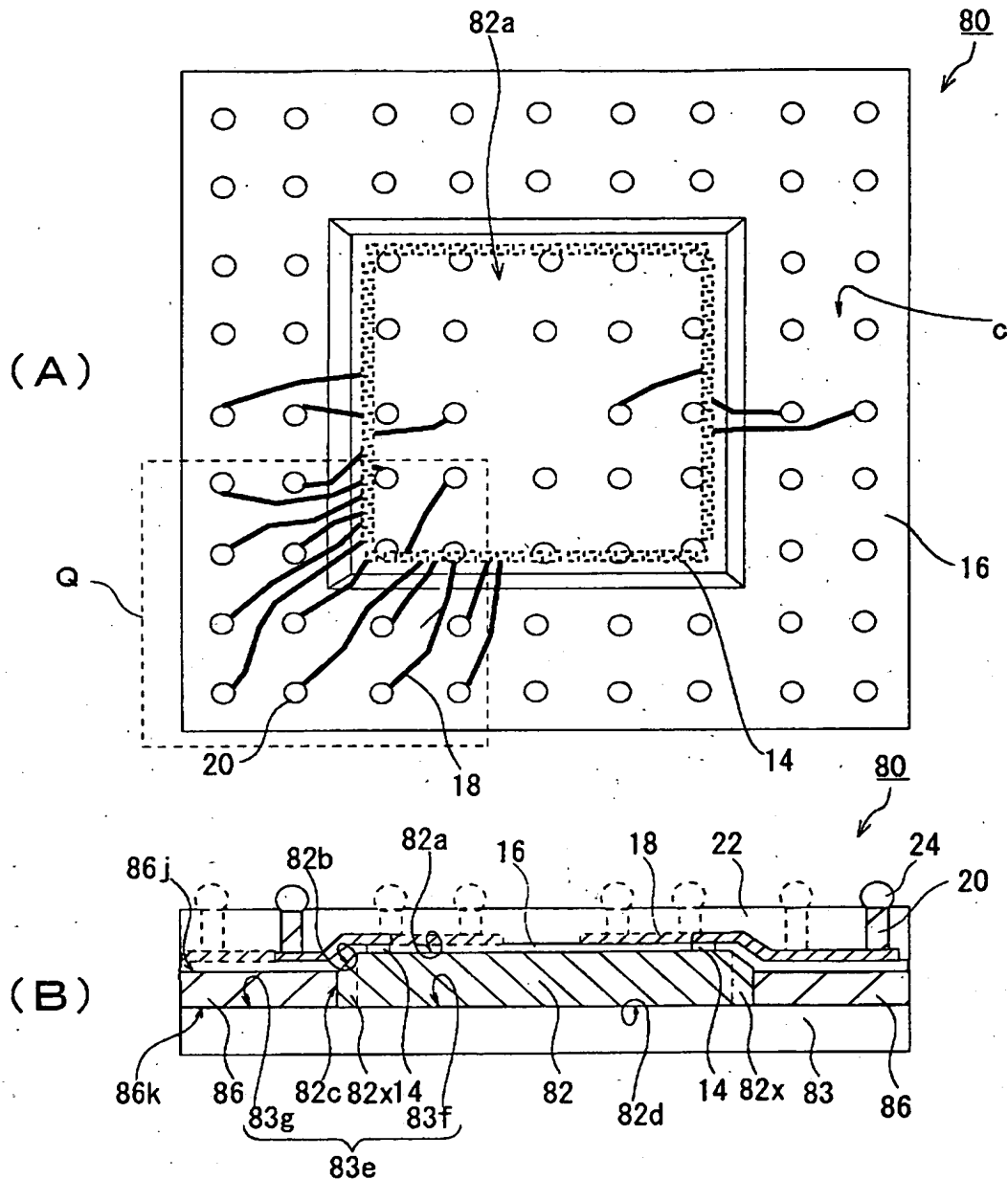
【図 8】



52:スルーホール（貫通部） 53:第2ランド  
54:導体部 56:第6パッド 70:半導体装置

## この発明の第5の実施の形態の半導体装置

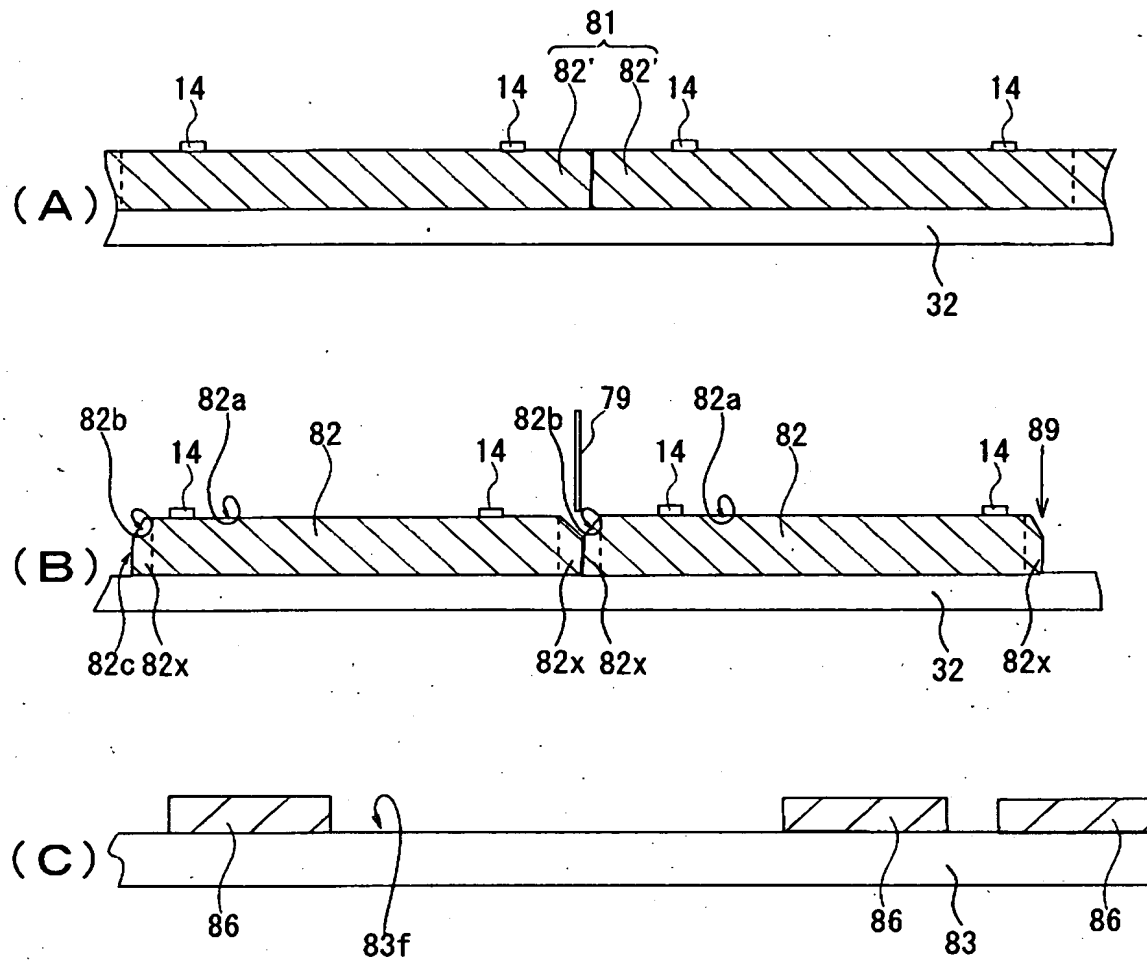
【図 9】



- 80: 半導体装置 82: 第1半導体チップ  
 82a: 第1半導体チップの主表面 (第1主表面)  
 82b: 第1半導体チップの傾斜側壁面 82c: 第1半導体チップの垂直壁面  
 82d: 第1半導体チップの裏面 (第2主表面) 82x: 第1半導体チップの側壁  
 83: 基板 (支持部) 83e: 基板の搭載面 83f: 基板の載置面  
 83g: 基板の不載置面 86: 感光性樹脂 (枠状部)  
 86j: 感光性樹脂の主表面 (第3主表面)  
 86k: 感光性樹脂の裏面 (第4主表面)

この発明の第6の実施の形態の半導体装置

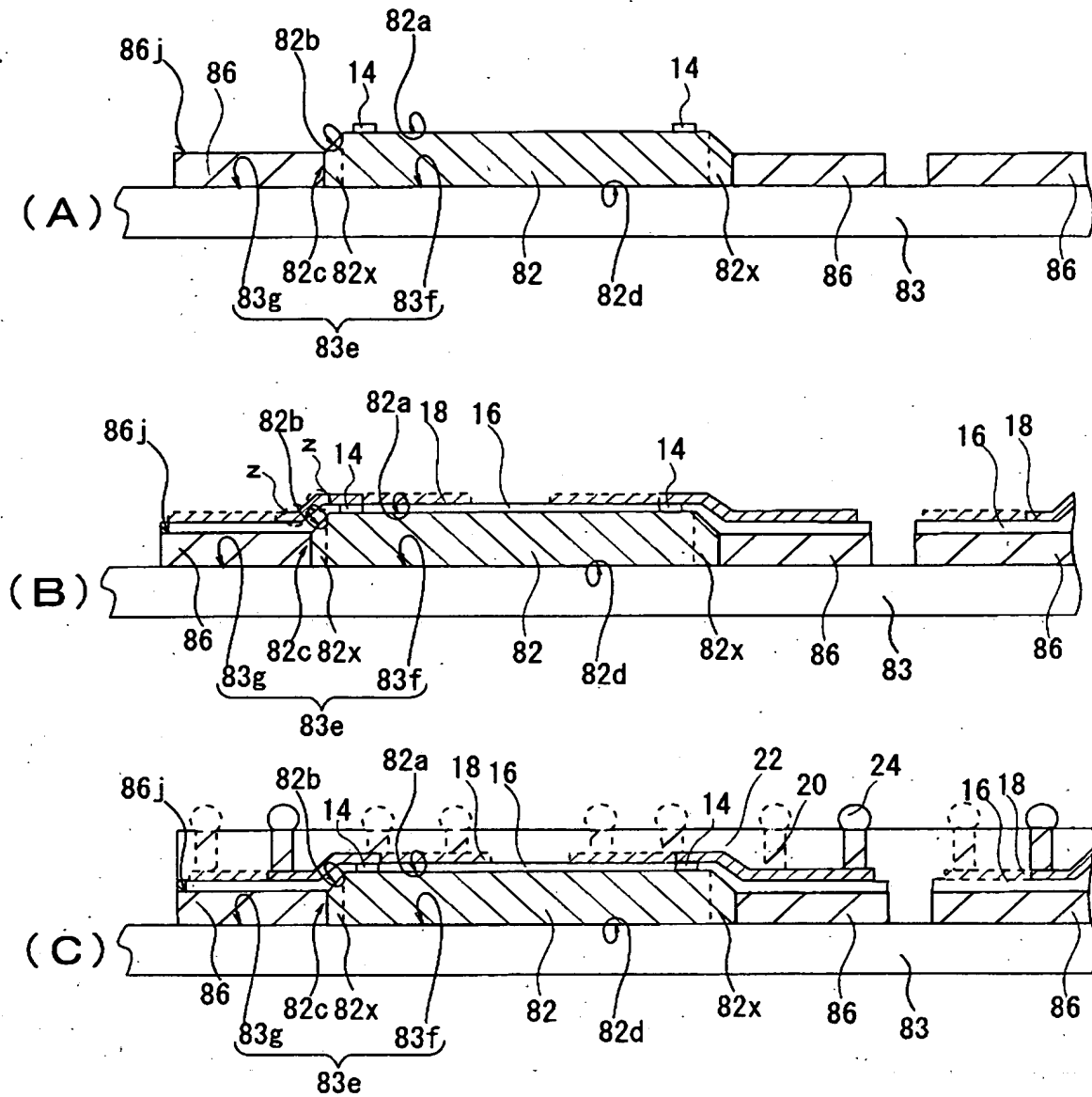
【図10】



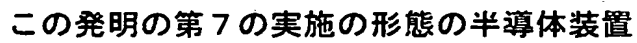
79: ブレード (V字型刃無し) 81: 半導体ウェハ  
 82': 個片化前の第1半導体チップ 86: 感光性樹脂 (枠状部材)

この発明の第6の実施の形態の半導体装置の製造工程

【図 1 1】



この発明の第 6 の実施の形態の半導体装置の製造工程



【書類名】 要約書

【要約】

【課題】 実装面上に配置可能な外部端子の増加（多ピン化）に対応し得る半導体装置及びその製造方法の提供。

【解決手段】 メサ型の半導体チップ 1 5 が半導体チップ搭載部である基板 1 2 の載置面 1 2 b に載置されており、この第 1 半導体チップの 4 つの側壁 1 5 x の側壁面 1 5 b は載置面に対して鋭角  $\theta$  ( $0^\circ < \theta < 90^\circ$ ) をなすように交差している。そして、この第 1 半導体チップの主表面 1 5 a に形成された第 1 パッド 1 4 は、当該第 1 パッドにその一端が接続されるとともに、半導体チップの主表面、側壁面及び不載置面 1 2 c に沿うようにして延在された第 1 配線層 1 8 を介して、不載置面上に設けられた半田ボール 2 4 と電氣的に接続されている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2002-325768
受付番号	50201692806
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月11日

<認定情報・付加情報>

【提出日】 平成14年11月 8日

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社